

特開平8-214296

(43)公開日 平成8年(1996)8月20日

(51) Int. Cl.	識別記号	府内整理番号	F I	技術表示箇所
H04N 7/24				
G11B 20/10	301	Z 7736-5D		
H03M 7/30		Z 9382-5K		

H04N 7/13

Z

審査請求 未請求 請求項の数 10 O L (全22頁)

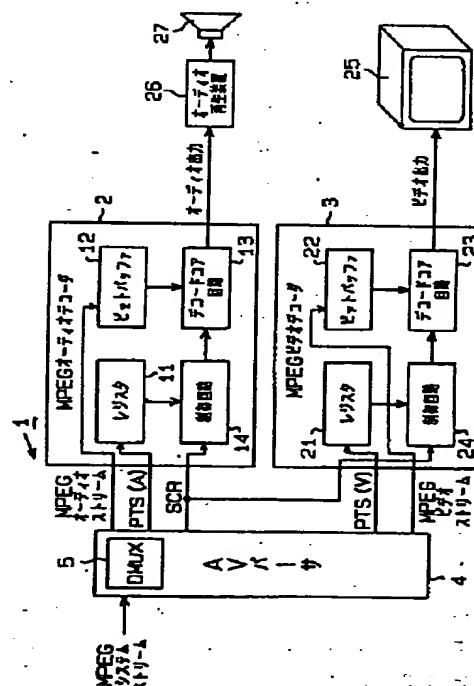
(21)出願番号 特願平6-317115
 (22)出願日 平成6年(1994)12月20日
 (31)優先権主張番号 特願平6-297345
 (32)優先日 平6(1994)11月30日
 (33)優先権主張国 日本 (JP)

(71)出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (72)発明者 岡田 茂之
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内
 (72)発明者 山内 英樹
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内
 (74)代理人 弁理士 恩田 博宣

(54)【発明の名称】デコーダおよびMPEGシステムデコーダ

(57)【要約】

【目的】オーディオ出力とビデオ出力の同期を十分にとることが可能なMPEGシステムデコーダを提供する。
 【構成】各デコーダ2,3では、各デコーダ2におけるデコード処理時間と、SCRおよびPTS(オーディオのPTS(A),ビデオのPTS(V))とに基づいて各出力(オーディオ出力,ビデオ出力)の再生時刻が設定される。各レジスタ11,21から読み出されたPTSは各制御回路14,24へ転送され、各ビットバッファ12,22から読み出されたビットストリームは各デコードコア回路13,23へ転送される。各制御回路14,24では、各デコーダ2,3におけるデコード処理時間と、SCRおよびPTSとに基づいて各出力の再生時刻が計算される。各デコードコア回路13,23では、MPEGの規格に準拠して各出力が生成される。その各出力の再生時刻は、各制御回路14,24の計算結果に従って制御される。



【特許請求の範囲】

【請求項 1】 デコード回路に所定の動作を行わせるための制御信号が一定回数以上連続して生成されたときに、その制御信号を有効と判定するデコーダ。

【請求項 2】 外部から転送されてきたMPEGシステムストリームについて、MPEGシステムストリームのパケットヘッダに基づき、MPEGシステムストリームをMPEGビデオストリームとMPEGオーディオストリームに分離するデマルチプレクサと、

MPEGシステムストリームからSCRとオーディオのタイムスタンプとビデオのタイムスタンプとをそれぞれ分離する分離手段と、

オーディオレジスタとオーディオビットバッファとオーディオデコードコア回路とオーディオ制御回路とから構成されるMPEGオーディオデコーダと、ビデオレジスタとビデオビットバッファとビデオデコードコア回路とビデオ制御回路とから構成されるMPEGビデオデコーダとを備えたMPEGシステムデコーダであり、前記オーディオレジスタは、分離手段から転送されてきたオーディオのタイムスタンプを順次蓄積し、前記オーディオビットバッファは、デマルチプレクサから転送されてきたオーディオストリームを順次蓄積し、前記オーディオデコードコア回路は、ビットバッファから読み出されたオーディオストリームをMPEGオーディオパートに準拠してデコードし、オーディオ出力を生成し、

前記オーディオ制御回路は、MPEGオーディオデコーダにおけるデコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきたSCRと、レジスタから読み出されたオーディオのタイムスタンプとに基づいてオーディオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、前記ビデオレジスタは、分離手段から転送されてきたビデオのタイムスタンプを順次蓄積し、

前記ビデオビットバッファは、デマルチプレクサから転送されてきたビデオストリームを順次蓄積し、

前記ビデオデコードコア回路は、ビットバッファから読み出されたビデオストリームをMPEGビデオパートに準拠してデコードし、ビデオ出力を生成し、

前記ビデオ制御回路は、MPEGビデオデコーダにおけるデコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきたSCRと、レジスタから読み出されたビデオのタイムスタンプとに基づいてビデオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、

前記MPEGオーディオデコーダは、オーディオビットバッファの内部遅延時間とオーディオデコードコア回路の内部遅延時間とオーディオレジスタから読み出されたオーディオのタイムスタンプとに基づいて第2のタイムスタンプを生成し、

前記ビデオ制御回路は、ビデオのタイムスタンプとピクチャとのマッピングを行い、ビデオデコードコア回路の内部遅延時間とビデオレジスタから読み出されたビデオのタイムスタンプと第2のタイムスタンプとに基づいて、ビデオデコードコア回路にスキップ動作またはリピート動作を行わせ、

前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作またはリピート動作を行わせるための制御信号の誤りを判定して補正するスキップ判定回路またはリピート判定回路を備えたMPEGシステムデコーダ。

【請求項 3】 外部から転送されてきたMPEGシステムストリームについて、MPEGシステムストリームのパケットヘッダに基づき、MPEGシステムストリームをMPEGビデオストリームとMPEGオーディオストリームに分離するデマルチプレクサと、

MPEGシステムストリームからSCRとオーディオのタイムスタンプとビデオのタイムスタンプとをそれぞれ分離する分離手段と、

オーディオレジスタとオーディオビットバッファとオーディオデコードコア回路とオーディオ制御回路とから構成されるMPEGオーディオデコーダと、

ビデオレジスタとビデオビットバッファとビデオデコードコア回路とビデオ制御回路とから構成されるMPEGビデオデコーダとを備えたMPEGシステムデコーダであり、

前記オーディオレジスタは、FIFO構成で、分離手段から転送されてきたオーディオのタイムスタンプを順次蓄積し、

前記オーディオビットバッファはFIFO構成のRAMから成り、デマルチプレクサから転送されてきたオーディオストリームを順次蓄積し、

前記オーディオデコードコア回路は、ビットバッファから読み出されたオーディオストリームをMPEGオーディオパートに準拠してデコードし、オーディオ出力を生成し、

前記オーディオ制御回路は、ビットバッファからオーディオストリームが読み出されるのに要する時間と、デコードコア回路におけるデコード処理時間とからMPEG

オーディオデコーダにおけるデコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきたSCRと、レジスタから読み出されたオーディオのタイムスタンプとに基づいてオーディオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、

前記ビデオレジスタは、FIFO構成で、分離手段から転送されてきたビデオのタイムスタンプを順次蓄積し、前記ビデオビットバッファはFIFO構成のRAMから成り、デマルチプレクサから転送されてきたビデオストリームを順次蓄積し、

前記ビデオデコードコア回路は、ビットバッファから読み出されたビデオストリームをMPEGビデオパートに準拠してデコードし、ビデオ出力を生成し、

前記ビデオ制御回路は、ビットバッファからビデオストリームが読み出されるのに要する時間と、デコードコア回路におけるデコード処理時間とからMPEGビデオデコーダにおけるデコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきたSCRと、レジスタから読み出されたビデオのタイムスタンプとに基づいてビデオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、

前記MPEGオーディオデコーダは、遅延時間算出回路とオーディオ減算回路と加算回路とサンプリング周波数検出回路とを備えたタイムスタンプ生成回路を備え、前記遅延時間算出回路は、オーディオビットバッファの内部遅延時間を算出し、

前記オーディオ減算回路は、オーディオビットバッファの内部遅延時間とオーディオデコードコア回路の内部遅延時間とオーディオレジスタから読み出されたオーディオのタイムスタンプとに基づいて、オーディオのタイムスタンプから各内部遅延時間の和を減算した値を生成し、

前記サンプリング周波数検出回路は、オーディオストリームからオーディオデータのサンプリング周波数を検出し、そのサンプリング周波数に対応したクロックを生成し、

前記加算回路は、オーディオ減算回路の生成した値と前記クロックを加算して第2のタイムスタンプを生成し、前記ビデオ制御回路は、ライトアドレス検出回路とリードアドレス検出回路とピクチャヘッダ検出回路とマッピング回路と第2のレジスタと同期判定回路と第1および第2の比較処理回路と第1および第2のビデオ減算回路とを備え、

前記ライトアドレス検出回路は、外部から転送されてきたビデオストリームにおけるビデオのタイムスタンプが付加されていたパケットがビデオビットバッファに書き込まれるときに、そのパケットのビデオビットバッファにおけるアドレスを検出し、

前記ビデオレジスタは、ライトアドレス検出回路によって検出されたアドレスとビデオのタイムスタンプとを対応付けて順次蓄積し、

前記リードアドレス検出回路は、ビデオビットバッファから読み出されたビデオストリームのアドレスを検出し、

前記ピクチャヘッダ検出回路は、ビデオビットバッファに書き込まれたビデオストリームの各ピクチャの先頭に付くピクチャヘッダを検出し、そのピクチャヘッダに規定されているピクチャのタイプを検出し、

前記第1の比較処理回路は、ビデオビットバッファから読み出されたビデオストリームのアドレスと、ビデオレ

ジスタから読み出されたビデオのタイムスタンプに対応するアドレスとを比較し、両アドレスが一致するかどうかを検出し、

前記マッピング回路は、第1の比較処理回路およびピクチャヘッダ検出回路の検出結果に基づいて、ビデオのタイムスタンプとピクチャとのマッピングを行い、

前記第2のレジスタは1段のスタックで構成され、フレーム間予測技術に従い、ピクチャヘッダ検出回路によって検出されたピクチャのタイプに基づいて、IピクチャまたはPピクチャに対応するビデオのタイムスタンプを、Bピクチャに対応するビデオのタイムスタンプに入れ替え、

前記第1のビデオ減算回路は、ビデオデコードコア回路の内部遅延時間と外部から指定された第1の値と第2のレジスタから読み出されたビデオのタイムスタンプとに基づいて、ビデオのタイムスタンプから、内部遅延時間と外部から指定された第1の値の和を減算した値を生成し、

前記第2のビデオ減算回路は、タイムスタンプ生成回路から生成された第2のタイムスタンプから第1のビデオ減算回路の生成した値を減算した値を生成し、前記第2の比較処理回路は、外部から指定された第2の値と第2のビデオ減算回路の生成した値を比較し、

前記同期判定回路は、マッピング回路によってビデオのタイムスタンプとピクチャとのマッピングが行われると、第2の比較処理回路の比較結果に基づいて、ビデオデコードコア回路にスキップ動作またはリピート動作を行わせるための制御信号を生成し、

前記ビデオデコードコア回路では、スキップ動作において、ビデオビットバッファから転送されてくるピクチャが廃棄され、その廃棄されたピクチャについてはデコードが行われず、リピート動作において、ビデオビットバッファから転送されてきたピクチャのビデオ出力が引き続き出力され、

前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作またはリピート動作を行わせるための制御信号の誤りを判定して補正するスキップ判定回路またはリピート判定回路を備えたMPEGシステムデコーダ。

【請求項4】 請求項2または請求項3に記載のMPEGシステムデコーダにおいて、

前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作を行わせるための制御信号が、一定回数以上連続して生成されたときに、その制御信号を有効化する第1のスキップ有効化手段を備えたMPEGシステムデコーダ。

【請求項5】 請求項2または請求項3に記載のMPEGシステムデコーダにおいて、

前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作を行わせるための制御信号が生成さ

れてから一定時間後に、その制御信号を有効化する第2のスキップ有効化手段を備えたMPEGシステムデコーダ。

【請求項6】 請求項2または請求項3に記載のMPEGシステムデコーダにおいて、

前記ビデオ制御回路から生成されるビデオデコードコア回路にリピート動作を行わせるための制御信号が、一定回数以上連続して生成されたときに、その制御信号を有効化する第1のリピート有効化手段を備えたMPEGシステムデコーダ。

【請求項7】 請求項2または請求項3に記載のMPEGシステムデコーダにおいて、

前記ビデオ制御回路から生成されるビデオデコードコア回路にリピート動作を行わせるための制御信号が生成されてから一定時間後に、その制御信号を有効化する第2のリピート有効化手段を備えたMPEGシステムデコーダ。

【請求項8】 請求項2または請求項3に記載のMPEGシステムデコーダにおいて、

前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作を行わせるための制御信号が一定回数以上連続して生成されたときに、その制御信号を有効化し、その制御信号が所定の回数連続して生成されれば、最初に生成されてから一定時間後に、その制御信号を有効化するスキップ判定回路を備えたMPEGシステムデコーダ。

【請求項9】 請求項2または請求項3に記載のMPEGシステムデコーダにおいて、

前記ビデオ制御回路から生成されるビデオデコードコア回路にリピート動作を行わせるための制御信号が一定回数以上連続して生成されたときに、その制御信号を有効化し、その制御信号が所定の回数連続して生成されれば、最初に生成されてから一定時間後に、その制御信号を有効化するリピート判定回路を備えたMPEGシステムデコーダ。

【請求項10】 請求項2～9のいずれか1項に記載のMPEGシステムデコーダにおいて、

前記ビデオデコードコア回路のスキップ動作はBピクチャに対して優先的に行われるMPEGシステムデコーダ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデコーダおよびMPEG(Moving Picture Expert Group)システムデコーダに関するものである。

【0002】

【従来の技術】 マルチメディアで扱われる情報は、膨大な量でかつ、多種多様であり、これらの情報を高速に処理することがマルチメディアの実用化を図る上で必要となってくる。情報を高速に処理するためには、データの

圧縮・伸長技術が不可欠となる。そのようなデータの圧縮・伸長技術として「MPEG」方式が挙げられる。このMPEG方式は、ISO(International Organization for Standardization)／IEC(International Electrotechnical Commission)傘下のMPEG委員会(ISO/IEC JTC1/SC29/WG11)によって標準化されつつある。

【0003】 MPEGは3つのパートから構成されている。パート1の「MPEGシステムパート」(ISO/IEC 10 IS 11172 Part1:Systems)では、ビデオデータとオーディオデータの多重化構造(マルチプレクス・ストラクチャ)および同期方式が規定される。パート2の「MPEGビデオパート」(ISO/IEC IS 11172 Part2:Video)では、ビデオデータの高能率符号化方式、およびビデオデータのフォーマットが規定される。パート3の「MPEGオーディオパート」(ISO/IEC IS 11172 Part3:Audio)では、オーディオデータの高能率符号化方式、およびオーディオデータのフォーマットが規定される。

【0004】 また、MPEGには主にエンコードレートの違いにより、現在のところ、MPEG-1, MPEG-2の2つの方式がある。MPEGビデオパートで取り扱われるビデオデータは動画に関するものであり、その動画は1秒間に数十個(例えば、30個)のフレームによって構成されている。ビデオデータは、シーケンス(Sequence)、GOP(Group Of Pictures)、ピクチャ、スライス(Slice)、マクロブロック(Macroblock)、ブロックの順に6層の階層構造から成る。MPEG-1においてフレームはピクチャに対応している。MPEG-2においては、フレーム又はフィールドをピクチャに対応させることもできる。フィールドは、2個で1つのフレームを構成している。ピクチャにフレームが対応している構造はフレーム構造と呼ばれ、ピクチャにフィールドが対応している構造はフィールド構造と呼ばれる。

【0005】 MPEGでは、フレーム間予測と呼ばれる圧縮技術を用いる。フレーム間予測は、フレーム間のデータを時間的な相関に基づいて圧縮する。フレーム間予測では、双方向予測が行われる。双方向予測とは、過去の再生画像(又は、ピクチャ)から現在の再生画像を予測する順方向予測と、未来の再生画像から現在の再生画像を予測する逆方向予測とを併用することである。

【0006】 この双方向予測は、Iピクチャ(Intra-Picture), Pピクチャ(Predictive-Picture), Bピクチャ(Bidirectionally predictive-Picture)と呼ばれる3つのタイプのピクチャを規定している。Iピクチャは、過去や未来の再生画像とは無関係に、独立して生成される。Pピクチャは順方向予測(過去のIピクチャまたはPピクチャからの予測)により生成される。Bピクチャは双方向予測により生成される。双方向予測においてBピクチャは、以下に示す3つの予測のうちいずれか1つにより生成される。①過去のIピクチャまたはPピ

クチャからの予測、②未来の I ピクチャまたは P ピクチャからの予測、③過去および未来の I ピクチャまたは P ピクチャからの予測。そして、これら I, P, B ピクチャがそれぞれエンコードされる。つまり、I ピクチャは過去や未来のピクチャが無くても生成される。これに対し、P ピクチャは過去のピクチャが無いと生成されず、B ピクチャは過去または未来のピクチャが無いと生成されない。

【 0 0 0 7 】 フレーム間予測では、まず、I ピクチャが周期的に生成される。次に、I ピクチャよりも数フレーム先のフレームが P ピクチャとして生成される。この P ピクチャは、過去から現在への一方方向（順方向）の予測により生成される。続いて、I ピクチャの前、P ピクチャの後に位置するフレームが B ピクチャとして生成される。この B ピクチャを生成するとき、順方向予測、逆方向予測、双方向予測の 3 つの中から最適な予測方法が選択される。一般的に連続した動画では、現在の画像とその前後の画像とは良く似ており、異なっているのはその一部分に過ぎない。そこで、前のフレーム（例えば、I ピクチャ）と次のフレーム（例えば、P ピクチャ）とは同じであると仮定し、両フレーム間に変化があればその差分（B ピクチャ）のみを抽出して圧縮する。これにより、フレーム間のデータを時間的な相関に基づいて圧縮することができる。

【 0 0 0 8 】 このように M P E G ビデオパートに準拠してエンコードされたビデオデータのデータ列（ビットストリーム）は、M P E G ビデオストリーム（以下、ビデオストリームと略す）と呼ばれる。また、M P E G オーディオパートに準拠してエンコードされたオーディオデータのデータ列は、M P E G オーディオストリーム（以下、オーディオストリームと略す）と呼ばれる。そして、ビデオストリームとオーディオストリームは、M P E G システムパートに準拠して時分割多重化され、1 本のデータ列としての M P E G システムストリーム（以下、システムストリームと略す）となる。システムストリームはマルチプレックスストリームとも呼ばれる。M P E G - 1 は主に C D - R O M (Compact Disc-Read Only Memory) などの蓄積メディアに対応しており、M P E G - 2 は M P E G - 1 をも含む幅広い範囲のアプリケーションに対応している。

【 0 0 0 9 】 M P E G パートにおけるエンコードからデコードまでの流れは、以下のようにになっている。M P E G システムエンコーダ（以下、システムエンコーダと略す）は、ビデオデータとオーディオデータのそれぞれを連係を保ちながら別個にエンコードを行い、ビデオストリームとオーディオストリームを生成する。次に、M P E G システムエンコーダに装備されたマルチプレクサ（Multiplexer）（M U X）は、伝送媒体または記録媒体のフォーマットに適合するように、ビデオストリームとオーディオストリームの多重化を行い、システムスト

リームを生成する。そのシステムストリームは、伝送媒体を介して M U X から伝送されるか、または記録媒体に記録される。

【 0 0 1 0 】 M P E G システムデコーダ（以下、システムデコーダと略す）に装備されたデマルチプレクサ（Demultiplexer）（D M U X）は、システムストリームをビデオストリームとオーディオストリームに分離する。次に、システムデコーダは各ストリームを個別にデコードして、ビデオのデコード出力（以下、ビデオ出力という）とオーディオのデコード出力（以下、オーディオ出力という）を生成する。そして、ビデオ出力はディスプレイへ、オーディオ出力は D / A (Digital/Analog) コンバータおよび低周波増幅器を介してスピーカへそれぞれ出力される。

【 0 0 1 1 】 システムストリームは複数のパック（Pack）で構成され、各パックは複数のパケット（Packet）で構成される。各パケットの中には、複数のアクセスユニットが存在している。アクセスユニットとはデコード再生を行うときの単位で、ビデオストリームの場合は 1 つのピクチャに対応し、オーディオストリームの場合は 1 つのオーディオフレームに対応している。

【 0 0 1 2 】 システムエンコーダは、パックの先頭にパックヘッダを付与し、パケットの先頭にパケットヘッダを付与する。パックヘッダは、S C R (System Clock Reference) と呼ばれる同期再生用の基準時刻等の参照情報を含む。ここで、再生とはビデオ出力とオーディオ出力の外部への出力を意味する。

【 0 0 1 3 】 パケットヘッダは、続くデータがビデオデータかオーディオデータかを識別するための情報や、タイムスタンプ（Time Stamp）（以下、T S と略す）と呼ばれるデコード再生の時刻を管理するための情報を含む。パケット長は、伝送媒体やアプリケーションに強く依存し、例えば、A T M (Asynchronous Transfer Mode) のように、53 バイトと短いものや、C D - R O M のように 4096 バイトと長いものがある。そして、パケット長の上限は、64 K バイトに定められている。

【 0 0 1 4 】 例えば、C D - R O M におけるデータの記録は、セクタ（Sector）単位で連続して行われ、そのデータの読み出しあは、C D - R O M プレーヤによって毎秒 75 セクタの一定速度で行われる。C D - R O M において、各セクタはそれぞれ 1 つのパックに対応し、パックとパケットは同じである。

【 0 0 1 5 】 システムエンコーダは、パケットの中にアクセスユニットの先頭がある場合、パケットヘッダにそのアクセスユニットに対応する T S を付加し、パケットの中にアクセスユニットの先頭がない場合、T S を付加しない。また、システムエンコーダは、パケットの中に 2 つ以上のアクセスユニットの先頭がある場合、パケットヘッダに最初のアクセスユニットに対応する T S だけを付加する。

【0016】TSには、PTS (Presentation Time Stamp) とDTS (Decoding Time Stamp) の2種類がある。MPEGシステムパートは、STD (System Target Decoder) と呼ばれる仮想的な基準デコーダによって、デコードの標準を規定している。STDの基準クロックとなるのは、STC (System Time Clock) とよばれる同期信号である。

【0017】PTSは再生出力の時刻を管理するための情報である。このPTSの精度は、90kHzのクロックで計測した値が32ビット長で表される。システムデコーダはPTSとSTCが一致したときに、そのPTSが付加されているアクセスユニットをデコードし、再生出力を生成する。

【0018】前記したようにMPEGビデオパートではフレーム間予測技術を用いるため、IピクチャとPピクチャはBピクチャよりも先行してビデオストリームとして送出される。このため、システムデコーダは、ビデオストリームを受け取ると、そのビデオストリームの各ピクチャの先頭に付くピクチャヘッダに基づいて、ピクチャの順番を元の順番に並び替えてデコードし、ビデオ出力を生成する。DTSは、ピクチャの並び替え後のデコード開始時刻を管理するための情報である。システムエンコーダは、PTSとDTSが異なる場合にはその両方をパケットヘッダに付加し、一致する場合にはPTSだけを付加する。具体的には、Bピクチャのあるビデオストリームにおいて、IピクチャとPピクチャが存在するパケットにはPTSとDTSの両方が付加され、Bピクチャが存在するパケットにはPTSだけが付加される。また、BピクチャのないビデオストリームにおいてはPTSだけが付加される。

【0019】SCRはSTCの値をシステムエンコーダで意図された値にセットしたり校正したりするための情報である。このSCRの精度は、MPEG-1では90kHzのクロックで計測した値が32ビット長で表され、MPEG-2では27kHzのクロックで計測した値が42ビット長で表される。SCRは、MPEG-1では5バイトで、MPEG-2では6バイトで伝送され、システムデコーダは、その最終バイトの到着の瞬間にSCRの値に応じてSTCをセットする。

【0020】図10(a)は、システムストリームの一例を示す。1つのパックはパックヘッダH及び各パケットV1, V2, A1…V6, V7から構成される。パケットは、ビデオデータの各パケットV1～V7とオーディオデータの各パケットA1～A3とを含む。これらのパケットは、ビデオデータ及びオーディオデータの一方について見れば番号順に並べられているものの、ビデオデータパケット及びオーディオデータパケットは相手の中に混在している。例えば、ビデオデータのパケットV1, V2の次にはオーディオデータのパケットA1が続き、その次にはビデオデータのパケットV3が続き、更

40 50

にその後にはオーディオデータのパケットA2, A3が続いている。ここで、パックヘッダHにはSCRが、パケットV1のパケットヘッダにはPTS(V1)が、パケットA1のパケットヘッダにはPTS(A1)が、パケットV6のパケットヘッダにはPTS(V6)がそれぞれ付加されている。従って、図10(b)に示すように、各パケットV1～V5でアクセスユニット α が、図10(c)に示すように各パケットA1～A3でアクセスユニット β が、図10(d)に示すように各パケットV6, V7で10 アクセスユニット γ が構成される。この場合、アクセスユニット α , γ はそれぞれ1つのピクチャに対応し、アクセスユニット β は1つのオーディオフレームに対応している。尚、図10(a)～図10(d)では、DTSについては省略してある。

【0021】図11は、従来のシステムデコーダ111のブロック回路を示す。システムデコーダ111は、MPEGオーディオデコーダ112、MPEGビデオデコーダ113、及びオーディオビデオバーサ(AVバーサ)114から構成される。AVバーサ114内にはデマルチプレクサ(Demultiplexer) (DMUX) 115が備えられている。

【0022】AVバーサ114は、外部から転送してきたシステムストリームを入力する。DMUX115は、システムストリームのパケットヘッダに基づいて、システムストリームをビデオストリームとオーディオストリームに分離する。すなわち、図10(a)に示すシステムストリームは、ビデオデータの各パケットV1～V7から構成されるビデオストリームと、オーディオデータの各パケットA1～A3から構成されるオーディオストリームとに分離される。

【0023】また、AVバーサ114は、システムストリームからSCR, オーディオのPTS(以下、PTS(A)という), ビデオのPTS(以下、PTS(V)という)をそれぞれ分離する。そして、AVバーサ114は、オーディオストリーム, SCR, PTS(A)をそれぞれオーディオデコーダ112へ出力し、ビデオストリーム, SCR, PTS(V)をそれぞれビデオデコーダ113へ出力する。

【0024】オーディオデコーダ112は、オーディオストリームをMPEGオーディオパートに準拠してデコードし、オーディオ出力を生成する。ビデオデコーダ113は、ビデオストリームをMPEGビデオパートに準拠してデコードし、ビデオ出力を生成する。ビデオ出力はディスプレイ116へ、オーディオ出力はD/Aコンバータおよび低周波増幅器を備えたオーディオ再生装置117を介してスピーカ118へそれぞれ出力される。

【0025】ここで、オーディオデコーダ112及びビデオデコーダ113はそれぞれ、SCRとPTSに基づいてオーディオ出力とビデオ出力の同期再生を行う。すなわち、オーディオデコーダ112は、SCRとPTS

(A) (PTS(A1))に基づいてオーディオ出力の再生時刻(再生タイミング)を設定し、図10(d)に示すように、アクセスユニット α の再生を時刻 t_3 で開始する。ビデオデコーダ113は、SCRとPTS(V)(PTS(V1), PTS(V6))に基づいてビデオ出力の再生時刻(再生タイミング)を設定し、図10(b)及び図10(c)に示すように、各アクセスユニット α , β の再生を各時刻 t_1 , t_2 で開始する。このとき、オーディオデコーダ112におけるオーディオ出力の再生時刻の設定と、ビデオデコーダ113におけるビデオ出力の再生時刻の設定とは、各PTS(A), PTS(V)に従ってそれぞれ別個に行われる。

【0026】

【発明が解決しようとする課題】オーディオ出力とビデオ出力の同期再生においては、「リップシンク」を考慮する必要がある。リップシンクとは、ディスプレイに映し出される人物の口の動きと音声との同期がとれていることをいう。口の動きよりも音声の方が早くなったり、逆に遅くなったりする状態を、リップシンクにずれがあるという。リップシンクのずれは、人間の聴覚の検知限界以下であれば問題とはならない。しかし、検知限界以上であると視聴者は違和感を覚える。一般に、リップシンクのずれの検知限界は、約数ミリ秒であるといわれている。

【0027】図11に示す従来のシステムデコーダ111では、リップシンクを十分に達成することができない。この原因是、STD(基準デコーダ)のデコード処理時間、すなわちSTDの内部遅延時間を零と仮定しているためである。実際のオーディオデコーダ112およびビデオデコーダ113のデコード処理時間は極めて短いが0ではない。そのデコード処理時間(内部遅延時間)は、各デコーダ112, 113で異なる上に、処理されるアクセスユニットのデータ量によっても異なる。例えば、図10(b)～図10(d)に示すような各アクセスユニット α ～ γ を構成するパケットの数は、通常異なる上に、各パケットのパケット長も必ずしも同一ではない。従って、通常各アクセスユニット α ～ γ のデータ量は異なるものになる。

【0028】そこで、上記のような欠点を克服するため、PTS(V)とPTS(A)の差分の算出結果に応じてビデオ出力またはオーディオ出力のいずれか一方を遅らせることにより、両者の同期を図る方法が提案されている。しかし、この方法は、ビデオ出力またはオーディオ出力を遅延させるための遅延メモリを必要とする。このことは回路規模の拡大化及びコストの増大を招く。さらに、遅延メモリの正確な制御は困難であると考えられている。仮に、その制御をAVバーサ114が行うとすれば、AVバーサ114に対するソフトウェア的な負荷を重くし、AVバーサ114の動作に支障をきたす。

【0029】本発明は上記問題点を解決するためになさ

れたものであり、オーディオ出力とビデオ出力の同期を十分にとることが可能なデコーダおよびMPEGシステムデコーダを提供することにある。

【0030】

【課題を解決するための手段】請求項1に記載の発明は、デコード回路に所定の動作を行わせるための制御信号が一定回数以上連続して生成されたときに、その制御信号を有効と判定することをその要旨とする。

【0031】請求項2に記載の発明は、外部から転送さ

れてきたMPEGシステムストリームについて、MPEGシステムストリームのパケットヘッダに基づき、MPEGシステムストリームをMPEGビデオストリームとMPEGオーディオストリームに分離するデマルチブレクサと、MPEGシステムストリームからSCRとオーディオのタイムスタンプとビデオのタイムスタンプとをそれぞれ分離する分離手段と、オーディオレジスタとオーディオビットバッファとオーディオデコードコア回路とオーディオ制御回路とから構成されるMPEGオーディオデコーダと、ビデオレジスタとビデオビットバッファとビデオデコードコア回路とビデオ制御回路とから構成されるMPEGビデオデコーダとを備えたMPEGシステムデコーダであり、前記オーディオレジスタは、分離手段から転送されてきたオーディオのタイムスタンプを順次蓄積し、前記オーディオビットバッファは、デマルチブレクサから転送されてきたオーディオストリームを順次蓄積し、前記オーディオデコードコア回路は、ビットバッファから読み出されたオーディオストリームをMPEGオーディオパートに準拠してデコードし、オーディオ出力を生成し、前記オーディオ制御回路は、MPEGオーディオデコーダにおけるデコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきたSCRと、レジスタから読み出されたオーディオのタイムスタンプとに基づいてオーディオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、前記ビデオレジスタは、分離手段から転送されてきたビデオのタイムスタンプを順次蓄積し、前記ビデオビットバッファは、デマルチブレクサから転送されてきたビデオストリームを順次蓄積し、前記ビデオデコードコア回路は、ビットバッファから読み出されたビデオストリームをMPEGビデオパートに準拠してデコードし、ビデオ出力を生成し、前記ビデオ制御回路は、MPEGビデオデコーダにおけるデコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきたSCRと、レジスタから読み出されたビデオのタイムスタンプとに基づいてビデオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、前記MPEGオーディオデコーダは、オーディオビットバッファの内部遅延時間とオーディオデコードコア回路の内部遅延時間とオーディオレジスタから読み出されたオーディオのタイムスタンプとに

基づいて第2のタイムスタンプを生成し、前記ビデオ制御回路は、ビデオのタイムスタンプとピクチャとのマッピングを行い、ビデオデコードコア回路の内部遅延時間とビデオレジスタから読み出されたビデオのタイムスタンプと第2のタイムスタンプとに基づいて、ビデオデコードコア回路にスキップ動作またはリピート動作を行わせ、前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作またはリピート動作を行わせるための制御信号の誤りを判定して補正するスキップ判定回路またはリピート判定回路を備えたことをその要旨とする。請求項3に記載の発明は、外部から転送されてきたMPEGシステムストリームについて、MPEGシステムストリームのパケットヘッダに基づき、MPEGシステムストリームをMPEGビデオストリームとMPEGオーディオストリームに分離するデマルチブレクサと、MPEGシステムストリームからSCRとオーディオのタイムスタンプとビデオのタイムスタンプとをそれぞれ分離する分離手段と、オーディオレジスタとオーディオビットバッファとオーディオデコードコア回路とオーディオ制御回路とから構成されるMPEGオーディオデコーダと、ビデオレジスタとビデオビットバッファとビデオデコードコア回路とビデオ制御回路とから構成されるMPEGビデオデコーダとを備えたMPEGシステムデコーダであり、前記オーディオレジスタは、 FIFO構成で、分離手段から転送されてきたオーディオのタイムスタンプを順次蓄積し、前記オーディオビットバッファはFIFO構成のRAMから成り、デマルチブレクサから転送されてきたオーディオストリームを順次蓄積し、前記オーディオデコードコア回路は、ビットバッファから読み出されたオーディオストリームをMPEGオーディオパートに準拠してデコードし、オーディオ出力を生成し、前記オーディオ制御回路は、ビットバッファからオーディオストリームが読み出されるのに要する時間と、デコードコア回路におけるデコード処理時間とからMPEGオーディオデコーダにおけるデコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきたSCRと、レジスタから読み出されたオーディオのタイムスタンプとに基づいてオーディオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、前記ビデオレジスタは、FIFO構成で、分離手段から転送されてきたビデオのタイムスタンプを順次蓄積し、前記ビデオビットバッファはFIFO構成のRAMから成り、デマルチブレクサから転送されてきたビデオストリームを順次蓄積し、前記ビデオデコードコア回路は、ビットバッファから読み出されたビデオストリームをMPEGビデオパートに準拠してデコードし、ビデオ出力を生成し、前記ビデオ制御回路は、ビットバッファからビデオストリームが読み出されるのに要する時間と、デコードコア回路におけるデコード処理時間とからMPEGビデオデコーダにおける

デコード処理時間を計算し、そのデコード処理時間と、分離手段から転送されてきたSCRと、レジスタから読み出されたビデオのタイムスタンプとに基づいてビデオ出力の再生タイミングを計算し、その再生タイミングに従ってデコードコア回路を制御し、前記MPEGオーディオデコーダは、遅延時間算出回路とオーディオ減算回路と加算回路とサンプリング周波数検出回路とを備えたタイムスタンプ生成回路を備え、前記遅延時間算出回路は、オーディオビットバッファの内部遅延時間を算出し、前記オーディオ減算回路は、オーディオビットバッファの内部遅延時間とオーディオデコードコア回路の内部遅延時間とオーディオレジスタから読み出されたオーディオのタイムスタンプとに基づいて、オーディオのタイムスタンプから各内部遅延時間の和を減算した値を生成し、前記サンプリング周波数検出回路は、オーディオストリームからオーディオデータのサンプリング周波数を検出し、そのサンプリング周波数に対応したクロックを生成し、前記加算回路は、オーディオ減算回路の生成した値と前記クロックを加算して第2のタイムスタンプを生成し、前記ビデオ制御回路は、ライトアドレス検出回路とリードアドレス検出回路とピクチャヘッダ検出回路とマッピング回路と第2のレジスタと同期判定回路と第1および第2の比較処理回路と第1および第2のビデオ減算回路とを備え、前記ライトアドレス検出回路は、外部から転送されてきたビデオストリームにおけるビデオのタイムスタンプが付加されていたパケットがビデオビットバッファに書き込まれるときに、そのパケットのビデオビットバッファにおけるアドレスを検出し、前記ビデオレジスタは、ライトアドレス検出回路によって検出されたアドレスとビデオのタイムスタンプとを対応付けて順次蓄積し、前記リードアドレス検出回路は、ビデオビットバッファから読み出されたビデオストリームのアドレスを検出し、前記ピクチャヘッダ検出回路は、ビデオビットバッファに書き込まれたビデオストリームの各ピクチャの先頭に付くピクチャヘッダを検出し、そのピクチャヘッダに規定されているピクチャのタイプを検出し、前記第1の比較処理回路は、ビデオビットバッファから読み出されたビデオストリームのアドレスと、ビデオレジスタから読み出されたビデオのタイムスタンプに対応するアドレスとを比較し、両アドレスが一致するかどうかを検出し、前記マッピング回路は、第1の比較処理回路およびピクチャヘッダ検出回路の検出結果とに基づいて、ビデオのタイムスタンプとピクチャとのマッピングを行い、前記第2のレジスタは1段のスタックで構成され、フレーム間予測技術に従い、ピクチャヘッダ検出回路によって検出されたピクチャのタイプに基づいて、IピクチャまたはPピクチャに対応するビデオのタイムスタンプを、Bピクチャに対応するビデオのタイムスタンプに入れ替え、前記第1のビデオ減算回路は、ビデオデコードコア回路の内部遅延時間と外部から指定さ

れた第1の値と第2のレジスタから読み出されたビデオのタイムスタンプとに基づいて、ビデオのタイムスタンプから、内部遅延時間と外部から指定された第1の値の和を減算した値を生成し、前記第2のビデオ減算回路は、タイムスタンプ生成回路から生成された第2のタイムスタンプから第1のビデオ減算回路の生成した値を減算した値を生成し、前記第2の比較処理回路は、外部から指定された第2の値と第2のビデオ減算回路の生成した値を比較し、前記同期判定回路は、マッピング回路によってビデオのタイムスタンプとピクチャとのマッピングが行われると、第2の比較処理回路の比較結果に基づいて、ビデオデコードコア回路にスキップ動作またはリピート動作を行わせるための制御信号を生成し、前記ビデオデコードコア回路では、スキップ動作において、ビデオビットバッファから転送されてくるピクチャが廃棄され、その廃棄されたピクチャについてはデコードが行われず、リピート動作において、ビデオビットバッファから転送されてきたピクチャのビデオ出力が引き続き出力され、前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作またはリピート動作を行わせるための制御信号の誤りを判定して補正するスキップ判定回路またはリピート判定回路を備えたことをその要旨とする。

【0032】請求項4に記載の発明は、請求項2または請求項3に記載のMPEGシステムデコーダにおいて、前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作を行わせるための制御信号が、一定回数以上連続して生成されたときに、その制御信号を有効化する第1のスキップ有効化手段を備えたことをその要旨とする。

【0033】請求項5に記載の発明は、請求項2または請求項3に記載のMPEGシステムデコーダにおいて、前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作を行わせるための制御信号が生成されてから一定時間後に、その制御信号を有効化する第2のスキップ有効化手段を備えたことをその要旨とする。

【0034】請求項6に記載の発明は、請求項2または請求項3に記載のMPEGシステムデコーダにおいて、前記ビデオ制御回路から生成されるビデオデコードコア回路にリピート動作を行わせるための制御信号が、一定回数以上連続して生成されたときに、その制御信号を有効化する第1のリピート有効化手段を備えたことをその要旨とする。

【0035】請求項7に記載の発明は、請求項2または請求項3に記載のMPEGシステムデコーダにおいて、前記ビデオ制御回路から生成されるビデオデコードコア回路にリピート動作を行わせるための制御信号が生成されてから一定時間後に、その制御信号を有効化する第2のリピート有効化手段を備えたことをその要旨とする。

【0036】請求項8に記載の発明は、請求項2または

請求項3に記載のMPEGシステムデコーダにおいて、前記ビデオ制御回路から生成されるビデオデコードコア回路にスキップ動作を行わせるための制御信号が一定回数以上連続して生成されたときに、その制御信号を有効化し、その制御信号が所定の回数連続して生成されれば、最初に生成されてから一定時間後に、その制御信号を有効化するスキップ判定回路を備えたことをその要旨とする。

【0037】請求項9に記載の発明は、請求項2または請求項3に記載のMPEGシステムデコーダにおいて、前記ビデオ制御回路から生成されるビデオデコードコア回路にリピート動作を行わせるための制御信号が一定回数以上連続して生成されたときに、その制御信号を有効化し、その制御信号が所定の回数連続して生成されれば、最初に生成されてから一定時間後に、その制御信号を有効化するリピート判定回路を備えたことをその要旨とする。

【0038】請求項10に記載の発明は、請求項2～9のいずれか1項に記載のMPEGシステムデコーダにおいて、前記ビデオデコードコア回路のスキップ動作はBピクチャが優先して行われることをその要旨とする。

【0039】

【作用】請求項1に記載の発明によれば、デコード回路に所定の動作を行わせるための制御信号が一定回数以上連続して生成されたときに、その制御信号を有効と判定することができる。

【0040】請求項2または請求項3に記載の発明によれば、MPEGオーディオデコーダの内部遅延時間は、オーディオビットバッファの内部遅延時間とオーディオデコードコア回路の内部遅延時間とによって規定される。そして、各遅延時間とオーディオのタイムスタンプとに基づいて第2のタイムスタンプが生成される。MPEGビデオデコーダでは、その第2のタイムスタンプとMPEGビデオデコーダの内部遅延時間とに基づいて、ビデオデコードコア回路にスキップ動作またはリピート動作を行わせる。その結果、各デコーダの内部遅延時間が変化しても、各出力の同期を十分にとることができること。

【0041】請求項3に記載の発明によれば、外部から指定された第1の値を調整することにより、オーディオ出力の位相とビデオ出力の位相とを任意にずらすことができる。また、外部から指定された第2の値を調整することにより、オーディオ出力とビデオ出力の同期の精度を任意に設定することができる。そして、制御信号の誤りを判定して補正することにより、各出力の同期をさらに正確にとることができること。

【0042】請求項4または請求項6に記載の発明によれば、制御信号が一定回数以上連続して生成されないと、その制御信号は有効化されない。すなわち、制御信号が一定回数未満しか連続して生成されない場合、その

制御信号は誤りであると判定されて補正される。その結果、各出力の同期をさらに正確にとることができ。る。

【0043】請求項5または請求項7に記載の発明によれば、制御信号が生成されてから一定時間後でないと、その制御信号は有効化されない。その結果、各出力の同期をさらに正確にとることができ。

【0044】請求項8または請求項9に記載の発明によれば、請求項4と請求項5または請求項6と請求項7を併用することにより、各発明の相乗作用によりさらに効果を高めることができる。

【0045】請求項10に記載の発明によれば、優先度の低いBピクチャをIピクチャやPPピクチャよりも優先してスキップすることにより、再生される動画に生じるコマ落ちが少なくなり、動画の動きが滑らかなものになる。

【0046】

【実施例】

(第1実施例) 本発明の一実施例に従うMPEGシステムデコーダを図面を参照しつつ説明する。図1は、本実施例のMPEGシステムデコーダ1のブロック回路を示す。

【0047】システムデコーダ1は、MPEGオーディオデコーダ2、MPEGビデオデコーダ3、オーディオビデオバーサ(AVバーサ)4を備えている。AVバーサ4は、デマルチプレクサ(Demultiplexer)(DMUX)5を備えており、外部機器(例えば、ビデオCDプレーヤ)から転送されてきたMPEGシステムストリームを入力する。DMUX5は、システムストリームのパケットヘッダに従いシステムストリームをMPEGビデオストリームとMPEGオーディオストリームに分離する。AVバーサ4は、システムストリームからSCR、オーディオのPTS(以下、PTS(A)という)、ビデオのPTS(以下、PTS(V)という)をそれぞれ分離する。オーディオストリーム、SCR、PTS(A)は、それぞれオーディオデコーダ2へ出力され、ビデオストリーム、SCR、PTS(V)は、それぞれビデオデコーダ3へ出力される。

【0048】オーディオデコーダ2は、レジスタ11、ビットバッファ12、デコードコア回路13、制御回路14を備えている。レジスタ11はFIFO(First-In-First-Out)構成で、PTS(A)を順次蓄積する。ビットバッファ12はFIFO構成のRAM(Random Access Memory)から成り、オーディオストリームを順次蓄積する。デコードコア回路13は、ビットバッファ12から供給されたオーディオストリームをMPEGオーディオパートに準拠してデコードし、オーディオ出力を生成する。制御回路14は、オーディオデコーダ2におけるデコード処理時間すなわち、オーディオデコーダ2の内部遅延時間と、SCRおよびPTS(A)とを基にオーディオ出力の再生時刻(再生タイミング)を計算し、その

計算結果に従ってデコードコア回路13を制御する。

【0049】ビデオデコーダ3は、レジスタ21、ビットバッファ22、デコードコア回路23、制御回路24を備えている。レジスタ21はFIFO構成で、PTS(V)を順次蓄積する。ビットバッファ22はFIFO構成のRAMから成り、ビデオストリームを順次蓄積する。デコードコア回路23は、ビットバッファ22から供給されたビデオストリームをMPEGビデオパートに準拠してデコードし、ビデオ出力を生成する。制御回路24は、ビデオデコーダ3におけるデコード処理時間、すなわちビデオデコーダ3の内部遅延時間と、SCRおよびPTS(V)とを基にビデオ出力の再生時刻を計算し、その計算結果に従ってデコードコア回路23を制御する。

【0050】そして、ビデオ出力はディスプレイ25へ、オーディオ出力はD/Aコンバータ(図示略)および低周波増幅器(図示略)を備えたオーディオ再生装置26を介してスピーカ27へそれぞれ出力される。

【0051】AVバーサ4は、外部から転送されてきた図10Aに示すような構成のシステムストリームを入力すると、ビデオデータの各パケットV1~V7から構成されるビデオストリームと、オーディオデータの各パケットA1~A3から構成されるオーディオストリームとに分離する。

【0052】オーディオデコーダ2は、オーディオデコーダ2の内部遅延時間と、SCRおよびPTS(A)(PTS(A1))とを基にオーディオ出力の再生時刻を設定し、図10Bに示すように、アクセスユニットAの再生時刻t3で開始する。更に詳しく説明すると、制御回路14はレジスタ11からPTS(A1)を読み出し、ビットバッファ12からオーディオストリームを読み出してデコードコア回路13へ転送する。このとき、制御回路14は、オーディオデコーダ2の内部遅延時間と、SCRおよびPTS(A1)とを基にオーディオ出力の再生時刻を計算する。デコードコア回路13は、MPEGオーディオパートに準拠してオーディオストリームの各パケットA1~A3をデコードして、オーディオ出力を生成する。制御回路14は、計算された再生時刻(外部への出力時刻)に従ってオーディオ出力が再生されるようにデコードコア回路13を制御する。

【0053】ところで、オーディオデコーダ2の内部遅延時間は、ビットバッファ12からオーディオストリームが読み出されるのに要する時間(ビットバッファ12の内部遅延時間)と、デコードコア回路13におけるデコード処理時間(デコードコア回路13の内部遅延時間)との和である。ビットバッファ12の内部遅延時間は、ビットバッファ12におけるオーディオストリームの占有量によって変化し、その占有量が大きいほど内部遅延時間も大きくなる。デコードコア回路13の内部遅延時間は一定である。レジスタ11からPTS(A)が続

み出されるのに要する時間は、ビットバッファ12の内部遅延時間に比べて小さく、制御回路14における信号処理時間と合わせても無視できる程度である。

【0054】ビデオデコーダ3は、ビデオデコーダ3の内部遅延時間と、SCRおよびPTS(V) (PTS(V1), PTS(V6))とを基にビデオ出力の再生時刻を設定し、図10B、図10Cに示すように、各アクセスユニット α 、 β の再生を各時刻 t_1 、 t_2 で開始する。詳しく説明すると、制御回路24はPTS(V1), PTS(V6)をそれぞれレジスタ21から読み出し、ビットバッファ22からビデオストリームを読み出してデコードコア回路23へ転送する。制御回路24は、ビデオデコーダ3の内部遅延時間と、SCRおよび各PTS(A1), PTS(V6)とを基にビデオ出力の再生時刻を計算する。デコードコア回路23は、MPEGビデオパートに準拠してビデオストリームの各パケットV1～V7をデコードし、ビデオ出力を生成する。制御回路24は、計算された再生時刻(外部への出力時刻)に従ってビデオ出力が再生されるようにデコードコア回路23を制御する。

【0055】ところで、ビデオデコーダ3の内部遅延時間は、ビットバッファ22からビデオストリームが読み出されるのに要する時間(ビットバッファ22の内部遅延時間)と、デコードコア回路23におけるデコード処理時間(デコードコア回路23の内部遅延時間)との和である。ビットバッファ22の内部遅延時間は、ビットバッファ22におけるビデオストリームの占有量によって変化し、その占有量が大きいほど内部遅延時間も大きくなる。デコードコア回路23の内部遅延時間は一定値である。制御回路24は、PTS(V)が読み出されるのに要する時間がビットバッファ22の内部遅延時間と同一になるようにレジスタ21を制御する。

【0056】オーディオデコーダ2におけるオーディオ出力の再生時刻の設定と、ビデオデコーダ3におけるビデオ出力の再生時刻の設定とは、各PTS(A), PTS(V)に従ってそれぞれ別個に行われる。

【0057】このように、本実施例においては、SCRおよびPTSだけでなく、各デコーダ2、3の内部遅延時間も考慮してオーディオ出力およびビデオ出力の再生時刻が設定される。このことは、オーディオ出力とビデオ出力の同期(リップシンク)を十分にとることを可能にする。このことは、ビデオ出力及びオーディオ出力のうちいずれか一方を遅延させるための遅延メモリを設ける必要をなくし、遅延メモリを設けることによる回路規模およびコストの増大を回避することを可能にする。

【0058】(第2実施例)本発明の第2実施例を図2～図5に従って説明する。尚、本実施例において、第1実施例と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0059】図2は、本実施例のMPEGシステムデコーダ31のブロック回路を示す。システムデコーダ31

は、MPEGオーディオデコーダ32、MPEGビデオデコーダ33、及びAVバーサ4を備えている。AVバーサ4はデマルチブレクサ(DMUX)5を備えている。

【0060】AVバーサ4は分離したオーディオストリーム、SCR、PTS(A)をそれぞれオーディオデコーダ32へ出力し、ビデオストリーム、PTS(V)をそれぞれビデオデコーダ33へ出力する。ここで、本実施例では、第1実施例と異なり、AVバーサ4はビデオデコーダ33へSCRを提供しない。

【0061】オーディオデコーダ32は、レジスタ11、ビットバッファ12、デコードコア回路13、制御回路14、及びタイムスタンプ生成回路41を備えている。タイムスタンプ生成回路41は、後記するように、タイムスタンプA₁-PTS(以下、A₁-PTSと略す)を生成する。制御回路14は、レジスタ11、ビットバッファ12及びデコードコア回路13と同様に、タイムスタンプ生成回路41も制御する。尚、制御回路14は、SCRおよびPTS(A)を基にオーディオ出力の再生時刻(再生タイミング)を計算し、オーディオデコーダ32の内部遅延時間については考慮しない。

【0062】ビデオデコーダ33は、レジスタ21、ビットバッファ22、デコードコア回路23、及び制御回路42を備えている。制御回路42は、ビデオ出力の再生時刻を計算し、その計算結果に従ってデコードコア回路23を制御する。その再生時刻は、タイムスタンプ生成回路41から生成されたA₁-PTSと、ビデオデコーダ33のデコード処理時間、すなわちビデオデコーダ33の内部遅延時間(以下、ビデオデコード遅延時間という)D₁と、PTS(V)とを基に計算される。ビデオデコード遅延時間D₁は、ビットバッファ22の内部遅延時間VDと、デコードコア回路23の内部遅延時間 ΔV との和である。

【0063】図3は、タイムスタンプ生成回路41のブロック回路を示す。タイムスタンプ生成回路41は、遅延時間算出回路51、減算回路52、サンプリング周波数検出回路53、及び加算回路54を備えている。遅延時間算出回路51は、ビットバッファ12の内部遅延時間ADを算出する。内部遅延時間ADはビットバッファ12におけるオーディオストリームの占有量によって変化し、占有量が大きいほど内部遅延時間ADも大きくなる。減算回路52は、レジスタ11から読み出されたPTS(A)から内部遅延時間AD及びデコードコア回路13の内部遅延時間 ΔA の和を減算し、A₁-PTSを生成する。すなわち、以下の式に従ってA₁-PTSが生成される。

【0064】 $A_1-PTS = PTS(A) - AD - \Delta A$
従って、A₁-PTSには、PTS(A)に対して各内部遅延時間AD、 ΔA の影響が加味される。内部遅延時間 ΔA は一定値である。

【0065】サンプリング周波数検出回路53は、オーディオストリームからオーディオデータのサンプリング周波数を検出し、そのサンプリング周波数に対応したクロック信号CKを生成する。このサンプリング周波数は、CD(Compact Disc)の規格では44.1kHzに定められている。加算回路54は、A₁-PTSとクロックCKを加算してA₂-PTSを生成する。ここで、A₁-PTSにクロックCKを加算するのは、リアルタイムにA₁-PTSを生成するためである。前記したように、PTS(A)は、パケットの中にオーディオフレーム(又は、アクセスユニット)の先頭がある場合、そのパケットのパケットヘッダに付加される。しかし、パケットの中にオーディオフレームの先頭がない場合、PTS(A)は付加されない。パケットの中に2つ以上のオーディオフレームの先頭がある場合、最初のオーディオフレームに対応するPTS(A)だけが、そのパケットのパケットヘッダに付加される。パケットの中にオーディオフレームの先頭がある場合でも、そのパケットのパケットヘッダに必ずPTS(A)が付加されているとは限らない。このようにPTS(A)が付加されることにより、レジスタ11からはPTS(A)が間欠的にしか読み出されない。従って、タイムスタンプ生成回路41は、レジスタ11からPTS(A)が読み出されないとき、前に読み出されたPTS(A)からA₁-PTSを生成し、そのA₁-PTSにクロックCKを加算してA₂-PTSを生成する。これにより、タイムスタンプ生成回路41は、リアルタイムにA₂-PTSを生成する。そのA₂-PTSは、レジスタ11から新たなPTS(A)が読み出される度に、それ以前に生成されたA₂-PTSとは関係なく、新たに生成される。

【0066】このように、タイムスタンプ生成回路41は、オーディオデコーダ32の内部遅延時間(=AD+ΔA)と、オーディオデータのサンプリング周波数に対応したクロックCKとを基にA₂-PTSを生成する。従って、A₂-PTSには、PTS(A)に対して各内部遅延時間AD、ΔAおよびクロックCKの影響が加味される。

【0067】図4は、ビデオデコーダ33のブロック回路を示す。制御回路42は、ライトアドレス検出回路61、リードアドレス検出回路62、ピクチャヘッダ検出回路63、マッピング回路64、レジスタ65、同期判定回路66、第1及び第2比較処理回路67、68、第1及び第2減算回路69、69、及び各回路61～70を制御する制御コア回路71を備えている。制御コア回路71は、ピットバッファ22及びデコードコア回路23も制御する。

【0068】ライトアドレス検出回路61は、ピットバッファ22にビデオストリームが蓄積されるとき、PTS(V)が付加されていたパケットのアドレスAddを検出する。詳しく説明すると、AVバーサ4は、ビデオストリームからPTS(V)を分離し、ピットバッファ22が

そのビデオストリームを蓄積し、レジスタ21がそのPTS(V)を蓄積する。このとき、ライトアドレス検出回路61は、PTS(V)が分離されることなく、それを付加したビデオストリームがピットバッファ22に書き込まれたものとして、PTS(V)が付加されていたパケットのアドレスAddを検出する。このことは、その検出されたアドレスAddが、PTS(V)のアドレスに対応していることを意味する。このように、パケットのアドレスAddをPTS(V)のアドレスに対応させることができるのは、以下の理由による。パケットのデータ量に比べてPTS(V)のデータ量は十分に小さく、ビデオストリームにPTS(V)を含ませても、ピットバッファ22に蓄積されるパケットのアドレスは変化しない。

【0069】制御コア回路71は、検出されたアドレスAddをPTS(V)と対応付けてレジスタ21に順次蓄積する。レジスタ21は例えば、(n+1)段のスタックで構成されている。レジスタ21には、ビデオストリームから順次分離された(n+1)個の各PTS(V₁)～PTS(V_{n+1})が、対応する各アドレスAdd₁～Add_{n+1}とワンセットで順次蓄積される。リードアドレス検出回路62は、ピットバッファ22から読み出されたビデオストリームのアドレスを検出する。ピクチャヘッダ検出回路63は、ピットバッファ22に書き込まれたビデオストリームの各ピクチャの先頭に付くピクチャヘッダを検出し、その各ピクチャヘッダに規定されているピクチャのタイプ(I, P, B)をそれぞれ検出する。制御コア回路71は、その検出結果に従って、ピットバッファ22から一定の周期毎に1つのピクチャ分のビデオストリームを読み出す。

【0070】第1比較処理回路67は、ピットバッファ22から読み出されたビデオストリームのアドレスと、レジスタ21から読み出されたPTS(V)(PTS(V₁))に対応するアドレスAdd(Add₁)とを比較し、両アドレスが一致するかどうかを判定する。マッピング回路64は、第1比較処理回路67の判定結果とピクチャヘッダ検出回路63の検出結果に従って、PTS(V)とピクチャとのマッピングを行う。このマッピングについては以下に説明する。

【0071】この各回路62～64, 67の動作を、図5(a), 図5(b)に示すビデオストリームの一例に従って説明する。図5(a)に示すように、ビデオストリームは、2つのパケットP, Qから構成され、各パケットP, QのパケットヘッダにはPTS(V₁), PTS(V_{n+1})がそれぞれ付加されている。パケットPは3つのBピクチャB1, B2, B3を含んでいる。このBピクチャB1の先頭は、パケットPの中にはない。パケットQはBピクチャB3, IピクチャI1, 及びPピクチャP1を含んでいる。このBピクチャB3の先頭は、パケットQの中にはない。つまり、PTS(V₁)はBピクチャB2, B3に対応したPTS(V)であり、PTS(V_{n+1})はIピクチャI1, PピクチャP1に対応したPTS(V)である。

23

…) は I ピクチャ I 1, P ピクチャ P 1 に対応した PTS (V) である。そして、各 PTS (V.), PTS (V.) には各アドレス Add. , Add. , が対応し、各 PTS (V.), PTS (V.) および各アドレス Add. , Add. , はレジスタ 2 1 に蓄積されている。図 5 (a) に示すビデオストリームは、ビットバッファ 2 2 内では、図 5 (b) に示すように、各 PTS (V.), PTS (V.) が除かれた状態で蓄積される。

【0072】ビットバッファ 2 2 からビデオストリームが読み出されると、リードアドレス検出回路 6 2 はそのビデオストリームのアドレスを検出し、第 1 比較処理回路 6 7 はそのアドレスと、レジスタ 2 1 に蓄積されているアドレス Add. とを比較する。ピクチャヘッダ検出回路 6 3 は、読み出されたビデオストリームのピクチャの先頭に付くピクチャヘッダを検出する。第 1 比較処理回路 6 7 がその両アドレスが一致していると判定すると、マッピング回路 6 4 は、検出されたピクチャヘッダが先頭に付くピクチャ (この場合、B ピクチャ B 2) が、アドレス Add. (すなわち、PTS (V.)) に対応していると判定する。具体的には、図 5 (a) に示すように、マッピング回路 6 4 は、PTS (V.) に対応するのは B ピクチャ B 1 ではなく B ピクチャ B 2 であり、PTS (V.) に対応するのは B ピクチャ B 3 ではなく I ピクチャ I 1 であることを判定する。この判定動作がマッピングである。

【0073】このように、本実施例においては、各回路 6 2 ~ 6 4, 6 7 がビットバッファ 2 2 の内部遅延時間 VD を算出するのと同等の動作を行う。すなわち、ビットバッファ 2 2 からデコードコア回路にビデオストリームが提供されるときに、各ピクチャと PTS (V) の対応付けを行うことが、内部遅延時間 VD の算出に相当する。そのため、レジスタ 2 1 から読み出された PTS (V) には、レジスタ 2 1 に書き込まれたときの PTS (V) に対して、ビットバッファ 2 2 の内部遅延時間 VD の影響が加味されている。ビデオデコード 3 3 における各回路 6 2 ~ 6 4, 6 7 の動作は、オーディオデコーダ 3 2 における遅延時間算出回路 5 1 の動作に対応する。その内部遅延時間 VD は、ビットバッファ 2 2 のビデオストリームの占有量によって変化し、その占有量が大きいほど内部遅延時間 VD も大きくなる。

【0074】レジスタ 6 5 は 1 段のスタックで構成され、フレーム間予測技術に従う動作を行う。その動作は、ピクチャヘッダ検出回路 6 3 によって検出されたピクチャのタイプ (I, P, B) に応じて、I ピクチャまたは P ピクチャに対応する PTS (V) と、B ピクチャに対応する PTS (V) とを入れ替える。

【0075】第 1 減算回路 6 8 は、レジスタ 6 5 から読み出された PTS (V) からデコードコア回路 2 3 の内部遅延時間 ΔV と、図 2 に示す外部の入力装置 4 3 にて設定された値 x との和を減算し、V₁-PTS を生成する。

24

すなわち、以下の式に従って V₁-PTS が生成される。

$$[0076] V_1-PTS = PTS(V) - \Delta V - x$$

ここで、レジスタ 6 5 から読み出された PTS (V) には、内部遅延時間 VD の影響が反映されている。そのため、V₁-PTS には、レジスタ 2 1 に書き込まれた PTS (V) に対して、ビデオデコード遅延時間 D (1) (= VD + ΔV) および値 x の影響が反映されている。内部遅延時間 ΔV は一定の値である。値 x はユーザが入力装置 4 3 を操作することにより設定される。

10 【0077】第 2 減算回路 6 9 は、タイムスタンプ生成回路 4 1 から生成された A₁-PTS から V₁-PTS を減算し、V₂-PTS を生成する。すなわち、以下の式に従って V₂-PTS が生成される。

【0078】 $V_2-PTS = A_1-PTS - V_1-PTS = A_1-PTS - PTS(V) + \Delta V + x$

ここで、A₁-PTS はリアルタイムに生成されている。従って、V₂-PTS がどのようなタイミングで生成されても、V₂-PTS は確実 (又は、リアルタイム) に生成される。

20 【0079】第 2 比較処理回路 7 0 は、図 2 に示す外部の入力装置 4 4 にて設定された値 y と V₂-PTS を比較する。値 y は、ユーザが入力装置 4 4 を操作することにより設定され、1 つのピクチャが再生されている時間の半分よりも大きくなるように設定される。同期判定回路 6 6 は、マッピング回路 6 4 によって PTS (V) とピクチャとのマッピングが行われると、第 2 比較処理回路 7 0 の比較結果に従って、各制御信号 SS, Sn, SR を生成する。同期判定回路 6 6 は、V₂-PTS < -y の場合は制御信号 SS を生成する。同期判定回路 6 6 は、-y ≤ V₂-PTS ≤ y (即ち、|V₂-PTS| ≤ y) の場合は制御信号 Sn を生成し、y < V₂-PTS の場合は制御信号 SR をそれぞれ生成する。

【0080】同期判定回路 6 6 は、A₁-PTS および V₂-PTS に比べて値 y が十分に小さいとき、以下の各場合に応じて各制御信号 SS, Sn, SR を生成する。同期判定回路 6 6 は、A₁-PTS < V₂-PTS の場合は制御信号 SS を生成する。同期判定回路 6 6 は、A₁-PTS = V₂-PTS の場合は制御信号 Sn を生成し、A₁-PTS > V₂-PTS の場合は制御信号 SR をそれぞれ生成する。

40 その各制御信号 SS, Sn, SR はデコードコア回路 2 3 に入力され、そのデコードコア回路 2 3 を制御する。

【0081】デコードコア回路 2 3 は、ビットバッファ 2 2 から読み出されたビデオストリームをデコードし、各ピクチャ毎にビデオ出力を生成する。ここで、制御信号 SS が生成されているとき、デコードコア回路 2 3 は、スキップ動作を行う。詳しく説明すると、デコードコア回路 2 3 は、制御信号 SS が生成されている間、ビットバッファ 2 2 から転送されてくるピクチャを廃棄し、その廃棄されたピクチャについてはデコードを行わない。

そして、制御信号SSの生成が停止されると、デコードコア回路23は通常の動作に戻る。その結果、ディスプレイ25では、再生画面が数コマ分だけ飛ぶスキップ再生が行われる。

【0082】制御信号Snが生成されているとき、デコードコア回路23は通常の動作を行い、ディスプレイ25では通常の再生が行われる。制御信号SRが生成されているとき、デコードコア回路23はリピート動作を行う。詳しく説明すると、デコードコア回路23は、制御信号SRが生成されている間、その制御信号SRが生成される前にビットバッファ22から転送されたピクチャのビデオ出力の出力を引き続き行う。そして、制御信号SRの生成が停止されると、デコードコア回路23は通常の動作に戻る。その結果、ディスプレイ25では、同じ再生画面が続くなりピート再生が行われる。

【0083】例えば、A:-PTSおよびV:-PTSに比べて値yが十分に小さいとき、デコードコア回路23は、A:-PTS < V:-PTSの場合はスキップ動作を行い、A:-PTS = V:-PTSの場合は通常の動作を行い、更にA:-PTS > V:-PTSの場合はリピート動作をそれを行う。

【0084】ところで、入力装置44で値yを指定できるようにしてあるのは、A:-PTSとV:-PTSとが完全に一致することは稀であるためである。デコードコア回路23は、A:-PTSとV:-PTSとが完全に一致した場合(A:-PTS = V:-PTS)に通常の動作を行う。従って、A:-PTSおよびV:-PTSに比べて値yが十分に小さいとき、デコードコア回路23は稀にしか通常の動作を行わないことになる。そこで、視聴者(又は、ユーザー)が値yを適宜に設定することにより、A:-PTSとV:-PTSとが完全には一致していないでも、ほぼ一致していればデコードコア回路23は通常の動作を行う。つまり、入力装置44で値yを指定できるようにしてあるのは、A:-PTSとV:-PTSとの一致条件に許容範囲をもたせるためである。

【0085】また、入力装置43で値xを指定できるようにしてあるのは、デコードコア回路23に対して任意にスキップ動作またはリピート動作を行わせるためである。視聴者が値xを調整することにより、V:-PTSが変化する。デコードコア回路23は、そのV:-PTSの変化に応じて各動作を行う。

【0086】このように、本実施例において制御回路42は、オーディオデコーダ32の内部遅延時間(=AD+ΔA)を基に生成されたA:-PTSと、ビデオデコード遅延時間D(l)(=VD+ΔV)と、値xとを基にPTS(V)を補正して、V:-PTSを生成する。そして、制御回路42は、V:-PTSと値yとの比較結果に従って、制御信号SS, Sn, SRのいずれかを生成し、スキップ動作、通常の動作、リピート動作のいずれかを行うようにデコードコア回路23を制御する。

【0087】従って、制御回路42は、ビデオデコーダ33の内部遅延時間だけでなく、オーディオデコーダ32の内部遅延時間をも基にデコードコア回路23を制御する。すなわち、制御回路42は、ビデオデコーダ33の内部遅延時間だけでなく、オーディオデコーダ32の内部遅延時間をも考慮に入れてビデオ出力の再生時刻を設定する。言い換えれば、オーディオ出力の再生タイミングに合わせてビデオ出力の再生タイミングが調整される。このことは、オーディオ出力とビデオ出力の同期を第1実施例よりもさらに確実にとることを可能とする。

【0088】例えば、オーディオ出力の再生タイミングよりもビデオ出力の再生タイミングが遅れている場合、制御回路42はデコードコア回路23にスキップ動作を行わせて、ディスプレイ25がスキップ再生を行う。この結果、ビデオ出力の再生タイミングがオーディオ出力の再生タイミングに追いつくようになる。逆に、オーディオ出力の再生タイミングよりもビデオ出力の再生タイミングが進んでいる場合、制御回路42はデコードコア回路23にリピート動作を行わせて、ディスプレイ25がリピート再生を行う。この結果、ビデオ出力の再生タイミングがオーディオ出力の再生タイミングに合うようになる。

【0089】このように、ビデオ出力の再生タイミングの方をオーディオ出力の再生タイミングに合わせるのは、以下の理由による。人間はディスプレイ25に映し出される動画が数コマ分ずれても、そのずれを検知できないのに対し、スピーカ27から出される音声がずれたときには、そのずれを耳につきやすいノイズとして敏感に検知できる。

【0090】ユーザが値yを調整することは、オーディオ出力とビデオ出力の同期の精度を任意に設定することを可能にする。値yを大きく設定するほど、A:-PTSとV:-PTSとの一致条件の許容範囲が大きくなり、その結果、オーディオ出力とビデオ出力の同期の精度は低くなる。このように、オーディオ出力とビデオ出力の同期の精度が設定可能にされているのは、システムストリームによってはPTS(PTS(A)およびPTS(V))が正確に付加されていない場合があるためである。例えば、現在市販されている、いわゆるビデオCDでは、PTSが正確に付加されていないものが稀に存在する。値yが、1つのピクチャが再生されている時間の半分よりも大きくなるように設定したのは、それより小さく設定しても、オーディオ出力とビデオ出力の同期の精度は変化しないからである。

【0091】ユーザが値xを調整することは、オーディオ出力の位相とビデオ出力の位相とを意図的にずらすことを可能にする。この機能は、本実施例をCD-ROMなどの蓄積メディアから読み出されたシステムストリームに適用する場合に好適となる。例えば、ユーザが動画を通常の再生速度よりも高速で再生させたときに、オーディオ

ディオ出力とビデオ出力の同期ずれが生じ、その同期ずれを補正する際にその機能を発揮させることができる。動画を通常の再生速度よりも高速で再生させる場合は、ユーザが短時間に動画を見るために早送り再生を行う場合や、見たい動画を検索するために早送り再生または早送り逆転再生を行う場合などであり、その場合にオーディオ出力も再生される。

【0092】(第3実施例) 本発明の第3実施例を図6～図9に従って説明する。本実施例において、第2実施例と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0093】図6は、本実施例のMPEGシステムデコーダ81のブロック回路を示す。システムデコーダ81は、オーディオデコーダ32、MPEGビデオデコーダ82、及びAVバーサ4を備えている。AVバーサ4はDMUX5を備えている。AVバーサ4はオーディオストリーム、SCR、PTS(A)をそれぞれオーディオデコーダ31へ出力し、ビデオストリーム、PTS(V)をそれぞれビデオデコーダ82へ出力する。

【0094】ビデオデコーダ82は、レジスタ21、ビットバッファ22、デコードコア回路23、及び制御回路83を備えている。制御回路83は、A1-PTSと、ビデオデコーダ82のデコード処理時間と、PTS(V)とを基にビデオ出力の再生時刻を計算し、その計算結果を補正する。そして、その補正結果に従ってデコードコア回路23を制御する。ビデオデコーダ82の内部遅延時間は、第2実施例のビデオデコーダ33の内部遅延時間と同じであり、以下、ビデオデコード遅延時間D(1)という。

【0095】図7は、ビデオデコーダ82のブロック回路を示す。制御回路83は、ライトアドレス検出回路61、リードアドレス検出回路62、ピクチャヘッダ検出回路63、マッピング回路64、レジスタ65、同期判定回路66、第1及び第2比較処理回路67、70、第1及び第2減算回路68、69、リピート判定回路84、スキップ判定回路85、及び各回路61～70、84、85を制御する制御コア回路72を備えている。制御コア回路72は、ビットバッファ22及びデコードコア回路23も制御する。

【0096】リピート判定回路84は、同期判定回路66から生成された各制御信号Sn、SRと、図6に示す入力装置86、87で設定された値z1、z2とを基に、制御信号SRmを生成する。スキップ判定回路85は、同期判定回路66から生成された各制御信号Sn、SSと、図6に示す入力装置88、89で設定された値w1、w2と、ピクチャヘッダ検出回路63の検出結果に従って、制御信号SSaを生成する。

【0097】デコードコア回路23は、各制御信号SS、Sn、SRではなく、各制御信号SSa、Sn、SRmに従って動作する。制御信号SSaが生成されていると

き、デコードコア回路23はスキップ動作を行う。制御信号Snが生成されているとき、デコードコア回路23は通常の動作を行う。更に、制御信号SRmが生成されているとき、デコードコア回路23はリピート動作を行う。

【0098】図8は、リピート判定回路84のブロック回路を示す。リピート判定回路84は、カウンタ91、92、第1～第3比較処理回路93～95、オア(OR)回路96を備えている。カウンタ91は制御信号SRが生成される度に、そのカウント値をインクリメントしつつカウント動作する。第1比較処理回路93は、カウンタ91のカウント値と値z1を比較し、カウント値の方が大きい場合に、制御信号SRmを生成する。OR回路96は、各制御信号Sn、SRmのうち少なくともいずれか一方が生成されると、カウンタ91にリセット信号を出力する。カウンタ91はそのリセット信号に応答してカウント値をリセットする。

【0099】第2比較処理回路94は、カウンタ91のカウント値が零よりも大きい場合に、カウンタ92へカウント開始信号を出力する。カウンタ92は、カウント開始信号に応答してカウント動作を開始し、一定の時間毎にカウント値をインクリメントする。第3比較処理回路95は、カウンタ92のカウント値と値z2を比較し、カウント値の方が大きい場合に、制御信号SRmを生成し、カウンタ92にリセット信号を出力する。カウンタ92はそのリセット信号に応答してカウント値をリセットする。

【0100】第1比較処理回路93はカウンタ91のカウント値により、制御信号SRが値z1よりも多い回数だけ連続して生成されたとき、制御信号SRmを生成する。従って、制御信号SRが値z1よりも多い回数だけ連続して生成されないと、デコードコア回路23はリピート動作を行わない。このようにするのは、オーディオ出力の再生タイミング(又は、再生時期)よりもビデオ出力の再生タイミングが進んでいない場合でも、同期判定回路66が制御信号SRを誤って生成して、デコードコア回路23がリピート動作を行うことがあるためである。例えば、PTS(A)またはPTS(V)が誤っている場合や、動画が通常の再生速度よりも高速で再生された場合などにおいて、同期判定回路66が制御信号SRを誤って生成することがある。

【0101】そこで、リピート判定回路84は、同期判定回路66が制御信号SRを連続してある一定の回数(=z1)よりも多く生成したときに、その制御信号SRが正しいものと判定し、制御信号SRmを生成する。デコードコア回路23はその制御信号SRmに従ってリピート動作を行う。このように制御信号SRmを生成することは、誤った制御信号SRに従ってデコードコア回路23がリピート動作を行うのを未然に防止する。

【0102】制御信号SRが1回生成されると、カウンタ91はリセットされ、カウンタ92のカウント値が零に戻る。このようにして、リピート判定回路84は、同期判定回路66が制御信号SRを連続してある一定の回数(=z1)よりも多く生成したときに、その制御信号SRが正しいものと判定し、制御信号SRmを生成する。デコードコア回路23はその制御信号SRmに従ってリピート動作を行う。このように制御信号SRmを生成することは、誤った制御信号SRに従ってデコードコア回路23がリピート動作を行うのを未然に防止する。

タ 9 2 はカウント動作を開始し、その一定時間後には、その時点におけるカウンタ 9 1 のカウント値に関係なく、第 3 比較処理回路 9 5 は制御信号 S Rm を生成する。この一定時間は、カウンタ 9 2 のインクリメント速度と値 z_2 によって決定される。従って、同期判定回路 6 6 が制御信号 S R を生成してから一定時間が経過すると、デコードコア回路 2 3 はリピート動作を行う。このようにするには、制御信号 S R が正しい場合でも、制御信号 S R が連続してある一定の回数 ($= z_1$) よりも多く生成されるとは限らないからである。そこで、リピート判定回路 8 4 は、制御信号 S R が生成されてから一定時間が経過したとき、その制御信号 S R を正しい信号と判定し、制御信号 S Rm を生成する。デコードコア回路 2 3 は、その制御信号 S Rm に従ってリピート動作を行う。このような第 2 及び第 3 比較処理回路 9 4, 9 5 並びにカウンタ 9 2 による動作は、カウンタ 9 1 と第 1 比較処理回路 9 3 と OR 回路 9 6 による動作を補完して、制御信号 S Rm を確実に生成する。

【0103】図 9 は、スキップ判定回路 8 5 のブロック回路を示す。スキップ判定回路 8 5 は、カウンタ 1 0 1, 1 0 2、第 1 ~ 第 3 比較処理回路 1 0 3 ~ 1 0 5、オア (OR) 回路 1 0 6、B ピクチャ優先処理回路 1 0 7 を備えている。

【0104】カウンタ 1 0 1 は制御信号 S S が生成される度に、そのカウント値をインクリメントする。第 1 比較処理回路 1 0 3 は、カウンタ 1 0 1 のカウント値と値 w_1 とを比較し、カウント値の方が大きい場合に、制御信号 S Sp を生成する。第 2 比較処理回路 1 0 4 は、カウンタ 1 0 1 のカウント値が零よりも大きい場合に、カウンタ 1 0 2 へカウント開始信号を出力する。カウンタ 1 0 2 はカウント開始信号に応答してカウント動作を開始し、一定の時間毎にカウント値をインクリメントする。第 3 比較処理回路 1 0 5 は、カウンタ 1 0 2 のカウント値と値 w_2 とを比較し、カウント値の方が大きい場合に、制御信号 S Sp を生成する。

【0105】B ピクチャ優先処理回路 1 0 7 は、制御信号 S Sp とピクチャヘッダ検出回路 6 3 によって検出されたピクチャのタイプ (I, P, B) に従って、制御信号 S Sm を生成する。この制御信号 S Sm は、デコードコア回路 2 3 が I ピクチャまたは P ピクチャよりも B ピクチャを優先してスキップ動作する信号である。OR 回路 1 0 6 は、各制御信号 S n, S Sm のうち少なくともいずれか一方が生成されると、カウンタ 1 0 1 にリセット信号を出力する。カウンタ 1 0 1 はそのリセット信号に応答してカウント値をリセットする。カウンタ 1 0 2 は、制御信号 S Sm が生成されるとカウンタ値をリセットする。第 1 比較処理回路 1 0 3 は、カウンタ 1 0 1 のカウンタ値に応じて、制御信号 S S が値 w_1 よりも多い回数だけ連続して生成されたとき、制御信号 S Sp を生成する。B ピクチャ優先処理回路 1 0 7 は、その制御信号 S Sp とピク

チャのタイプ (I, P, B) に従って制御信号 S Sm を生成する。従って、制御信号 S S が値 w_1 よりも多い回数だけ連続して生成されないと、デコードコア回路 2 3 はスキップ動作を行わない。このようにするには、オーディオ出力の再生タイミングよりもビデオ出力の再生タイミングが進んでいない場合でも、同期判定回路 6 6 が制御信号 S S を誤って生成することがあるためである。例えば、PTS (A) または PTS (V) が誤っている場合や、動画が通常の再生速度よりも高速で再生された場合などにおいて、同期判定回路 6 6 が制御信号 S S を誤って生成することがある。

【0106】そこで、スキップ判定回路 8 5 は、同期判定回路 6 6 が制御信号 S S を連続してある一定の回数 ($= w_1$) より多く生成したときに、その制御信号 S S を正しいものと判定して、制御信号 S Sp を生成する。デコードコア回路 2 3 はその制御信号 S Sp に従ってスキップ動作を行う。このように制御信号 S Sp を生成することは、誤った制御信号 S S に従ってデコードコア回路 2 3 がスキップ動作を行うのを未然に防止する。

【0107】ところで、B ピクチャは双方向予測によって生成されるため、データ量は少なく、その重要度は I ピクチャや P ピクチャに比べて低くなる。従って、重要度の低い B ピクチャを優先してスキップ再生させることは、再生される動画に生じるコマ落ちを少なくする。

【0108】制御信号 S S が 1 回生成されると、カウンタ 1 0 2 はカウント動作を開始し、その一定時間後には、その時点におけるカウンタ 1 0 1 のカウント値に関係なく、第 3 比較処理回路 1 0 5 は制御信号 S Sp を生成する。この一定時間は、カウンタ 1 0 2 のインクリメント速度と値 w_2 によって決定される。従って、同期判定回路 6 6 が制御信号 S S を生成してから一定時間が経過すると、デコードコア回路 2 3 はスキップ動作を行う。このようにするには、制御信号 S S が正しい場合でも、制御信号 S S が連続してある一定の回数 ($= w_1$) より多く生成されるとは限らないからである。そこで、スキップ判定回路 8 5 は、制御信号 S S が生成されてから一定時間が経過したとき、その制御信号 S S を正しい信号と判定し、制御信号 S Sp を生成する。デコードコア回路 2 3、その制御信号 S Sp に従ってスキップ動作を行う。このように第 2 及び第 3 比較処理回路 1 0 4, 1 0 5 並びにカウンタ 1 0 2 の動作は、カウンタ 1 0 1 と第 1 比較処理回路 1 0 3 と OR 回路 1 0 6 の動作を補完して、制御信号 S Sp を確実に生成する。

【0109】本実施例においては、何らかの原因によって誤った各制御信号 S R, S S が生成された場合でも、各判定回路 8 4, 8 5 が各制御信号 S R, S S を補正して、各制御信号 S Rm, S Sm を生成する。デコードコア回路 2 3 は各制御信号 S Rm, S Sm に従って動作 (スキップ動作、リピート動作) する。このことは、誤った各制御信号 S R, S S が生成された場合でも、オーディオ出力

とビデオ出力の同期を確実にとることを可能にする。

【0110】ユーザが各値 z_1, z_2, w_1, w_2 を入力装置86～89でそれぞれ設定することは、各判定回路84, 85における各制御信号SR, SSの補正の度合いの調整を可能にする。スキップ再生を行う場合に重要度の低いBピクチャをIピクチャやPピクチャよりも優先してスキップ再生させることは、再生される動画に生じるコマ落ちを少なくし、かつ動画の動きを滑らかなものにして、その結果、画質を向上させることができ

る。

【0111】尚、上記各実施例は以下のように変更してもよい。

(1) 第2, 3実施例において、サンプリング周波数検出回路53および加算回路54を省く。この場合には、@PTSをリアルタイムに生成することができなくなるため、#PTSの生成精度は低下する。しかし、この場合でも、オーディオ出力とビデオ出力の同期を第1実施例よりもさらに確実にとることができ。そして、オーディオストリームに多くのPTS(A)が付加されている場合には、第2, 3実施例と同程度の性能を得ることもできる。

【0112】(2) 第2, 3実施例において、@PTSの代わりにPTS(A)から[Y]PTSを減算した値を減算回路69から生成させる。この場合には、PTS(A)と、ビデオデコード遅延時間D(I)と、値xとに基づいてPTS(V)が補正され、#PTSが生成される。この場合には、オーディオデコーダ32の内部遅延時間に基づいてデコードコア回路23の動作を制御することができなくなるが、オーディオ出力の再生タイミングに合わせてビデオ出力の再生タイミングが制御されることに変わりはない。そのため、オーディオデコーダ32の内部遅延時間が小さい場合には、第2, 3実施例と同程度の性能を得ることもできる。但し、この場合、制御回路14は、第1実施例と同様に、オーディオデコーダ32の内部遅延時間とSCRおよびPTS(A)とを基にオーディオ出力の再生時刻(再生タイミング)を計算し、その計算結果に従ってデコードコア回路13を制御する。

【0113】(3) 第2, 3実施例において、値xを省く。また、値yを固定にする。この場合には、各値x, yに關係する機能が省かれるだけで、その他の作用および効果については上記各実施例と同じである。

【0114】(4) 第3実施例において、リピート判定回路84から各比較処理回路94, 95およびカウンタ92を省く。この場合には、各回路94, 95, 92に關係する機能が省かれるだけで、その他の作用および効果については上記実施例と同じである。

【0115】(5) 第3実施例において、スキップ判定回路85から各比較処理回路104, 105およびカウンタ102を省く。また、スキップ判定回路85からBピクチャ優先処理回路107を省く。この場合には、各

回路104, 105, 102, 107に關係する機能が省かれるだけで、その他の作用および効果については上記実施例と同じである。

【0116】(6) 第2, 3実施例において、レジスタ21を1段のスタックで構成する。この場合、レジスタ21のスタック段数が多くなるほど利用できるPTS(V)も多くのが、レジスタ21の容量も増えることになる。従って、レジスタ21のスタック段数は、回路規模およびコストと要求される性能とに基づいて、適宜に設定すればよい。

【0117】(7) 第3実施例において、各比較処理回路94, 104は、各カウンタ91, 101のカウント値が零以上の所定値よりも大きい場合に、各カウンタ92, 102のカウント動作をスタートさせる。

【0118】(8) PTSをDTSに置き代え、上記実施例と同様に実施する。この場合にも、上記実施例と同様の作用および効果を得ることができる。以上、各実施例について説明したが、各実施例から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

【0119】(イ) 請求項3に記載のMPEGシステムデコーダにおいて、前記外部から指定された第2の値は、1つのピクチャの再生されている時間の半分よりも大きくなるように設定されているMPEGシステムデコーダ。

【0120】このようにすれば、各出力の同期を最適に調整することができる。

(ロ) 請求項3に記載のMPEGシステムデコーダにおいて、前記サンプリング周波数は44.1kHzであるMPEGシステムデコーダ。

【0121】このようにすれば、可聴周波数帯域を十分にカバーすることができる。ところで、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

【0122】(a) 分離手段はオーディオビデオバーサから構成されるものとする。

(b) 第1のリピート有効化手段は、カウンタ91、比較処理回路93、OR回路96から構成される。

【0123】(c) 第2のリピート有効化手段は、カウンタ92、比較処理回路94, 95から構成される。

(d) 第1のスキップ有効化手段は、カウンタ101、比較処理回路103、OR回路106から構成される。

【0124】(e) 第2のスキップ有効化手段は、カウンタ102、比較処理回路104, 105から構成される。

(f) 第1の値は値xであり、第2の値は値yである。

【0125】(g) 第2のレジスタはレジスタ65、第1の比較処理回路は比較処理回路67、第2の比較処理回路は比較処理回路70、第1の減算回路は減算回路68、第2の減算回路は減算回路69である。

【0126】(h) タイムスタンプは、PTSだけでなくDTSをも含むものとする。

【0127】

【発明の効果】オーディオ出力とビデオ出力の同期を十分にとることが可能なデコーダおよびMPEGシステムデコーダを提供することができる。

【図面の簡単な説明】

【図1】第1実施例のブロック回路図。

【図2】第2実施例のブロック回路図。

【図3】第2実施例の要部ブロック回路図。

【図4】第2実施例の要部ブロック回路図。

【図5】第2実施例を説明するための説明図。

【図6】第3実施例のブロック回路図。

【図7】第3実施例の要部ブロック回路図。

【図8】第3実施例の要部ブロック回路図。

【図9】第3実施例の要部ブロック回路図。

【図10】MPEGシステムストリームを説明するための説明図。

【図11】従来例のブロック回路図。

【符号の説明】

1, 31 M P E G シス テ ム デ コ ー ダ

2, 32 M P E G オ ー デ ィ オ デ コ ー ダ

3, 33, 82 M P E G ビ デ オ デ コ ー ダ

4 オ ー デ ィ オ ビ デ オ パ ー サ

5 D M U X

10 11, 21 レジスタ

12, 22 ビットバッファ

13, 23 デコードコア回路

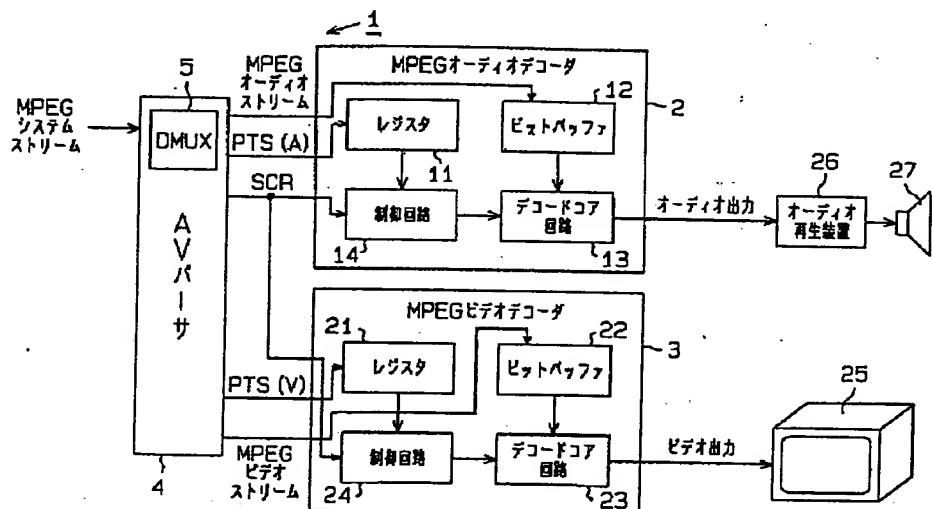
14, 24, 42, 83 制御回路

41 タイムスタンプ生成回路

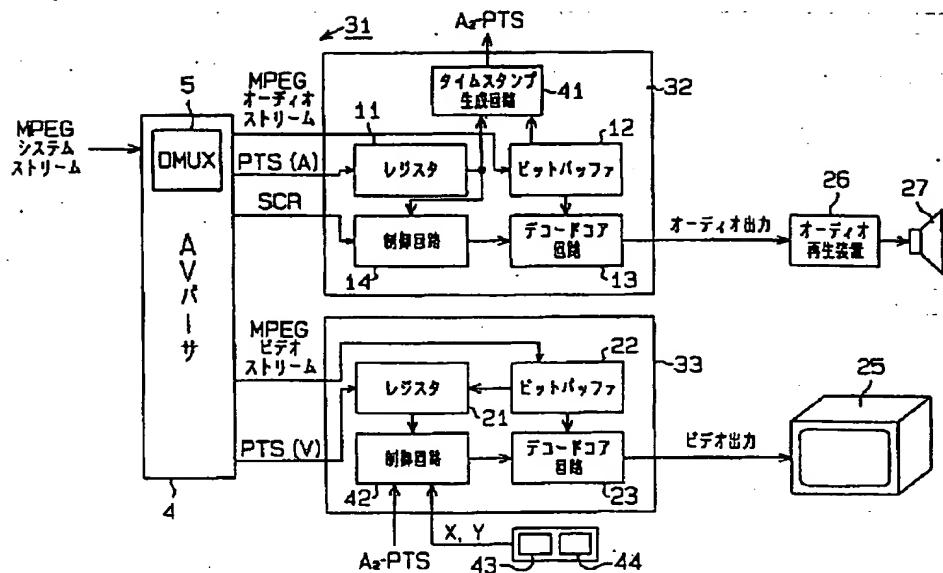
84 リピート判定回路

85 スキップ判定回路

【図1】

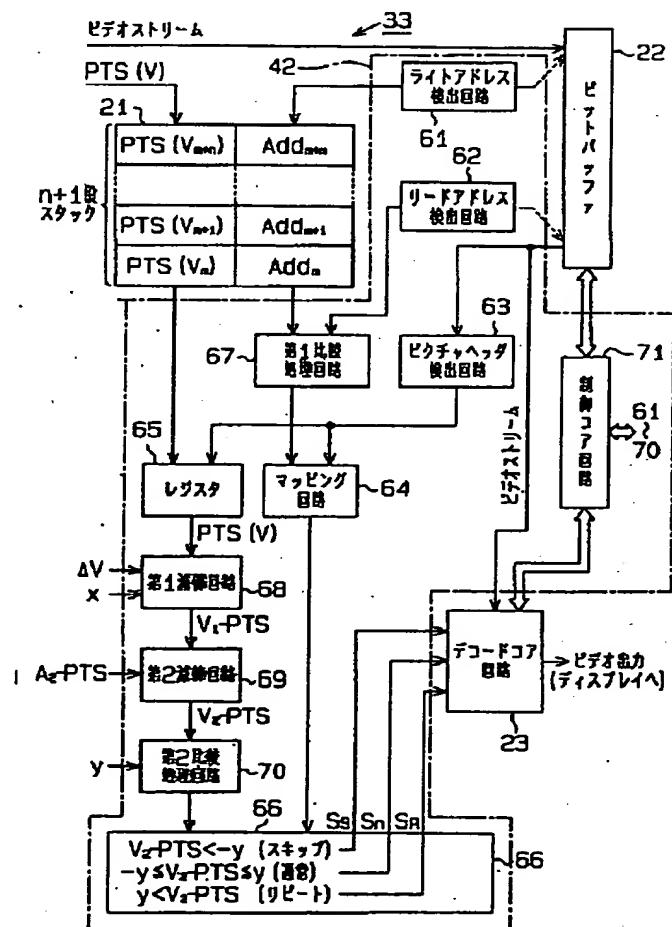
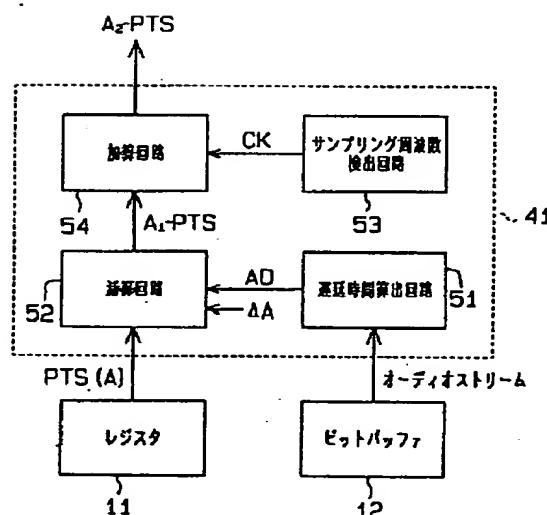


(图 2)

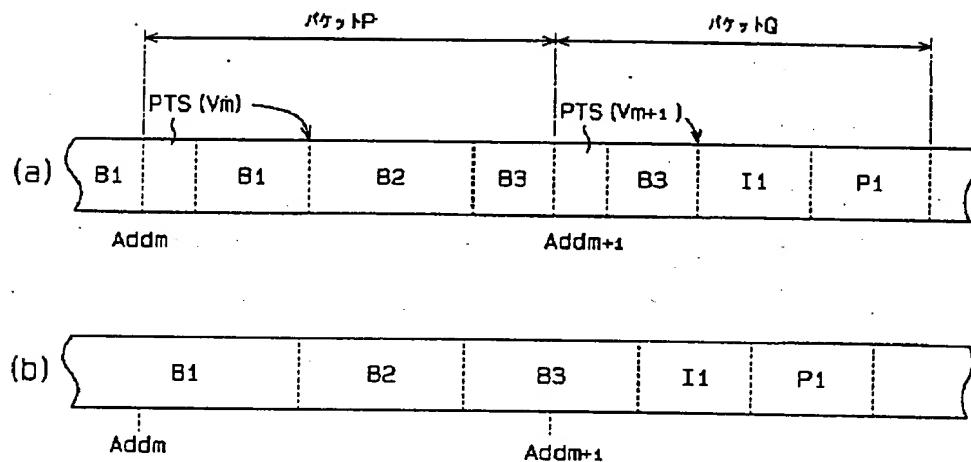


[図 3]

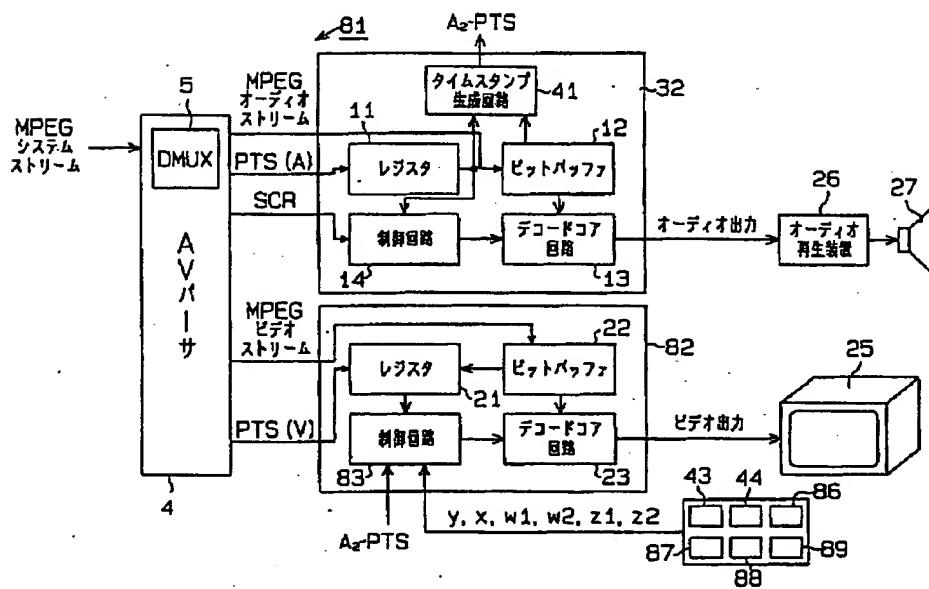
[圖 4]



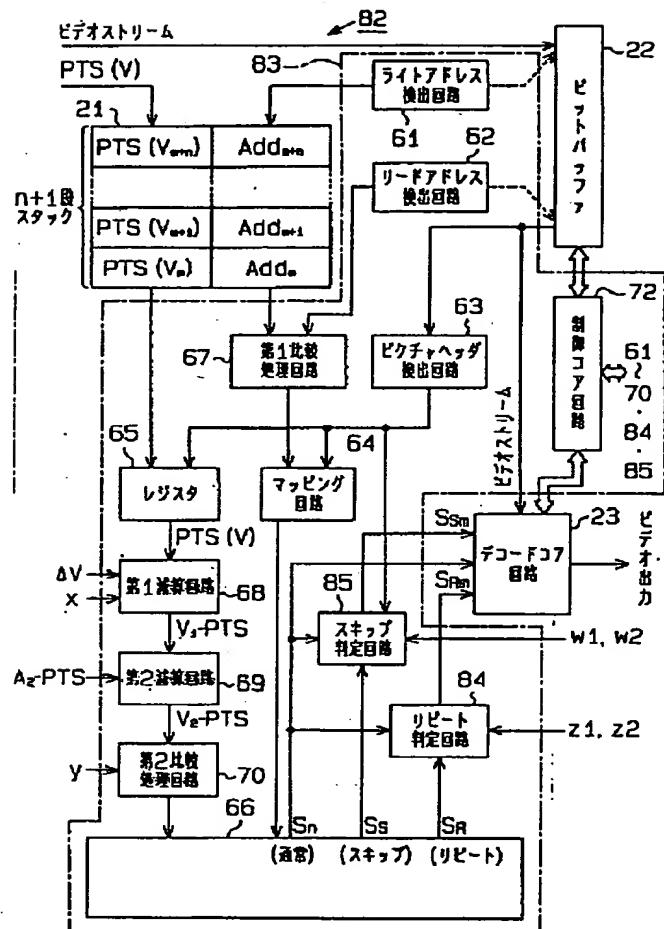
【図 5】



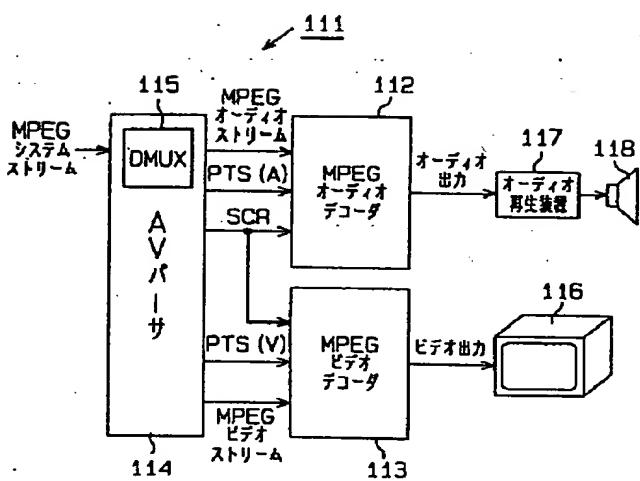
【図 6】



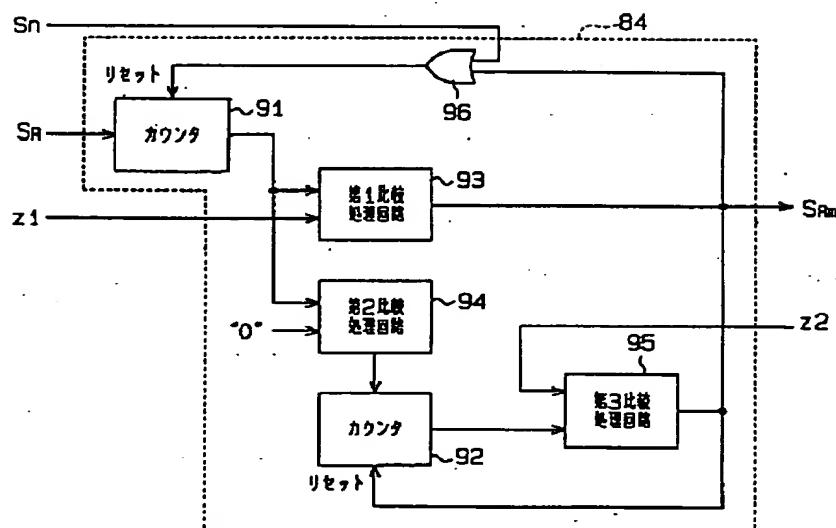
【図7】



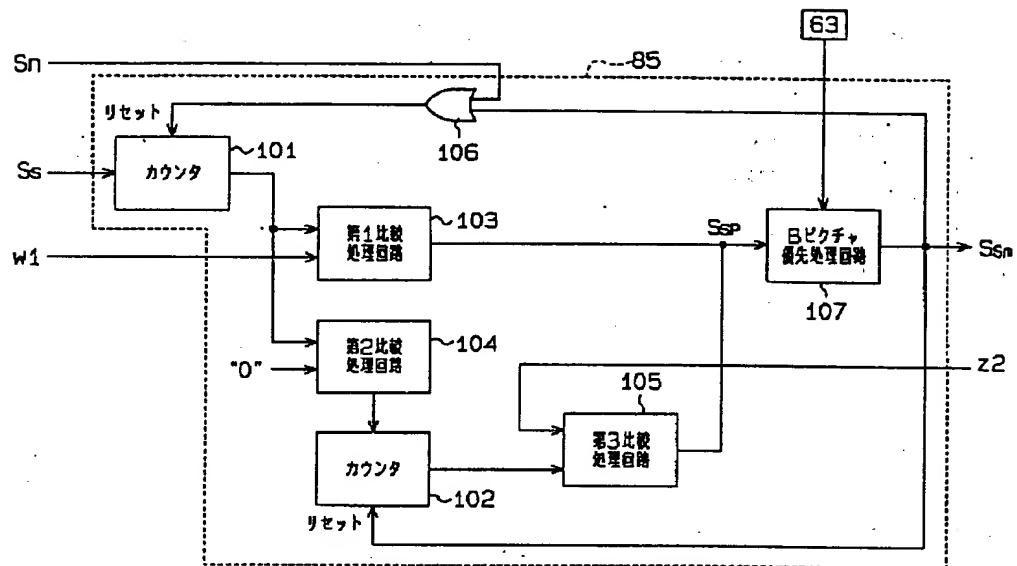
【図11】



【図8】



【図 9】



【図 10】

